



Centro Federal de Educação Tecnológica de Minas Gerais
Programa de Pós-Graduação em Engenharia Elétrica
Associação Ampla entre
Centro Federal de Educação Tecnológica de Minas Gerais
e Universidade Federal de São João Del-Rei

Marcos Alberto Saldanha

**Contribuição à modelagem de pequenos sinais e à estabilidade do paralelismo sem
comunicação de inversores**

Belo Horizonte, MG
2018

Marcos Alberto Saldanha

Contribuição à modelagem de pequenos sinais e à estabilidade do paralelismo sem comunicação de inversores

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, com associação ampla entre Centro Federal de Educação Tecnológica de Minas Gerais e Universidade Federal de São João del-Rei como parte dos requisitos exigidos para a obtenção do título de Mestre em Engenharia Elétrica

Orientador: Prof. Dr. Marcelo Martins Stopa.
Coorientador: Prof. Dr. Rubens Marcos dos Santos Filho.

Belo Horizonte, MG
2018

S162c Saldanha, Marcos Alberto
Contribuição à modelagem de pequenos sinais e à estabilidade do
paralelismo sem comunicação de inversores. / Marcos Alberto
Saldanha. -- Belo Horizonte, 2018.
x, 117 f. : il.

Dissertação (mestrado) – Centro Federal de Educação
Tecnológica de Minas Gerais, Programa de Pós-Graduação em
Engenharia Elétrica em associação ampla com a Universidade
Federal de São João Del Rei, 2018.

Orientador: Prof. Dr. Marcelo Martins Stopa
Coorientador: Prof. Dr. Rubens Marcos dos Santos Filho

Bibliografia

1. Modelos Matemáticos. 2. Sistemas de Energia Elétrica –
Estabilidade. 3. Inversores Elétricos. I. Stopa, Marcelo Martins. II.
Centro Federal de Educação Tecnológica de Minas Gerais. III. Título

CDD 511.8

Marcos Alberto Saldanha

Contribuição à modelagem de pequenos sinais e à estabilidade do paralelismo sem comunicação de inversores

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, associação ampla entre Centro Federal de Educação Tecnológica de Minas Gerais e Universidade Federal de São João del-Rei como parte dos requisitos exigidos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Modelagem e Controle de Sistemas.

Linha de Pesquisa: Sistemas de Controle.

Comissão examinadora:

Prof. Dr. Marcelo Martins Stopa.

Prof. Dr. Rubens Marcos dos Santos Filho.

Prof. Dr. Fernando Lessa Tofoli.

Prof. Dr. Porfirio Cabaleiro Cortizo.

Prof. Dr. Marcos Pêgo de Oliveira.

*Dedico este trabalho aos
meus pais Afonso e Maria e a
minha irmã Aline.*

Agradecimentos

Agradeço aos meus pais e irmã pelo apoio durante o mestrado.

Aos meus orientadores prof. Doutores Marcelo e Rubens, por acreditarem no meu potencial e suas dedicações no desenvolvimento do trabalho.

Ao prof. Doutor Porfírio pela oportunidade de desenvolver este trabalho.

Ao prof. Doutor Marcos e aos técnicos Daniel e André pelo auxílio no desenvolvimento prático do projeto.

Agradeço ao aluno Gabriel e, novamente, ao técnico André pelo suporte na parte de programação.

Aos demais professores que contribuíram de forma direta ou indireta.

Aos meus amigos pelo companheirismo. Em especial aos meus amigos Mateus, Daniel e Lucas.

Agradeço à Engetron Engenharia Eletrônica pelo tema de pesquisa proposto e pelo apoio financeiro.

Enfim, agradeço ao CEFET-MG pelo incentivo à realização do mestrado.

*“A tarefa não é tanto ver aquilo
que ninguém viu, mas pensar o
que ninguém ainda pensou sobre
aquilo que todo mundo vê.”*

Arthur Schopenhauer

Resumo

As Fontes de Energia Ininterrupta ou *Uninterruptible Power Supplies* (UPS) são equipamentos utilizados para fornecer energia de forma contínua e de alta qualidade a sistemas críticos como os de suporte à vida e de transportes. As UPSs elevam a confiabilidade do fornecimento de energia a níveis superiores aos obtidos nas redes das concessionárias. Porém, assim como qualquer equipamento eletrônico, as UPSs estão sujeitas a falhas. Uma das soluções utilizadas para diminuir a incidência de falhas é introduzir redundância no sistema. No caso das UPSs, isso é realizado através da associação de diversas unidades em paralelo. Esse é o assunto abordado neste trabalho. Mais especificamente, ele se concentra no estudo da melhoria da estabilidade e da simplificação do modelo de pequenos sinais do paralelismo de UPSs sem comunicação, ou seja, que utiliza apenas variáveis locais para o controle das potências. Cada um dos subsistemas presentes na implementação do paralelismo sem comunicação utilizando método *droop* é analisado em detalhes. O impacto nos autovalores e nos amortecimentos foi investigado utilizando frequências de corte diferentes nos filtros de medição das potências ativa e reativa na presença e ausência de função *Power System Stabilizer* (PSS). As técnicas propostas são validadas através de simulações e resultados experimentais.

Palavras-chave: UPSs, paralelismo de inversores, método *droop*, simplificação do modelo de pequenos sinais, melhoria da estabilidade, power system stabilizer.

Abstract

Uninterruptible Power Supplies (UPS) are equipment used to provide continuous and high quality power in critical systems such as life support systems and transportation systems. UPS increase the reliability of power supply to levels higher than those achieved in utility networks. However, like all electronic equipment, UPS are subject to failures. Thus, reliability can be enhanced by applying redundancy when performing a UPS connection in parallel. The present work focuses on the study of the stability enhancement and simplification of the small signals model to the parallelism of UPS without communication, that is, it uses just local variables for power control. Each of the subsystems present in the implementation of parallelism without communication using droop method is analyzed in detail. The impact on eigenvalues and damping was investigated using different cut-off frequencies in the active and reactive power measurement filters in the presence and absence of a Power System Stabilizer (PSS). The proposed techniques are validated through simulations and lab tests.

Keywords: UPSs, inverter parallelism, droop method, simplification of small signal model, stability improvement, power system stabilizer.

Sumário

Capítulo 1

Introdução

1.1 - Paralelismo de UPSs.....	1
1.2 - Objetivos	2
1.3 - Contribuições do Trabalho.....	3
1.4 - Estrutura do Texto	4

Capítulo 2

Contextualização sobre o paralelismo de UPSs e o método droop.....	5
---	----------

Capítulo 3

Paralelismo sem comunicação utilizando método droop convencional.....9

3.1 - Paralelismo de um inversor com um barramento infinito.....	10
3.1.1 - Método droop tradicional	11
3.1.2 - Regime permanente	12
3.1.3 - Modelo de pequenos sinais do paralelismo de um inversor com um barramento infinito	13
3.1.4 - Análise da dinâmica do paralelismo de um inversor com um barramento infinito.....	15
3.2 - Modelo de pequenos sinais para o paralelismo entre inversores.....	18
3.2.1 - Análise da dinâmica do paralelismo de inversores.....	21
3.3 - Aproximação do modelo de pequenos sinais do paralelismo entre inversores com o do paralelismo de um inversor com um barramento infinito	23
3.3.1 - Análise dos autovalores dos paralelismos.....	24
3.3.2 - Análise das respostas dinâmicas do paralelismo de um inversor com uma barra infinita e do paralelismo entre dois inversores.....	26
3.3.3 - Análise das respostas dinâmicas do paralelismo de um inversor com uma barra infinita e do paralelismo entre três inversores.....	27
3.4 - Conclusões.....	28

Capítulo 4

Melhoria da estabilidade do paralelismo sem comunicação de inversores...30	30
---	-----------

4.1 - Análise dos polos para $\omega_{cp} \neq \omega_{cq}$	31
4.2 - Amortecimento para $\omega_{cp} \neq \omega_{cq}$	33
4.3 - Modelo de pequenos sinais para o paralelismo de inversores com PSS	35
4.4 - Análise da dinâmica do paralelismo de dois inversores com ação PSS	37
4.5 - Análise da estabilidade com ação PSS inclusa no controlador do paralelismo de inversores e $\omega_{cp} \neq \omega_{cq}$	39
4.6 - Amortecimento para o paralelismo de inversores com ação da PSS e $\omega_{cp} \neq \omega_{cq}$	41
4.7 - Comparação entre os amortecimentos para o paralelismo de inversores com e sem ação da PSS	42
4.8 - Conclusões	43

Capítulo 5

Resultados experimentais	45
5.1 - <i>Hardware</i> de potência	46
5.2 - Diagrama de conexão para o paralelismo com a rede	47
5.3 - Diagrama de conexão do paralelismo entre 2 inversores	48
5.4 - Paralelismo com a rede elétrica	51
5.4.1 - Análise das dinâmicas obtidas para diferentes valores da indutância de carga	52
5.5 - Paralelismo entre dois inversores	55
5.5.1 - Composição da linha: 560 μH e 0,73 Ω	56
5.5.1 - Composição da linha: 1500 μH e 0,81 Ω	61
5.6 - Comparação entre as dinâmicas do paralelismo com a rede e entre inversores	66
5.6.1 - Comparação entre as dinâmicas obtidas com indutor de 500 μH	66
5.6.2 - Comparação entre as dinâmicas obtidas com indutor de 1500 μH	67
5.7 - Conclusões	68

Capítulo 6

Conclusões gerais e propostas de continuidade	70
6.1 - Conclusões Gerais	70
6.2 - Propostas de continuidade	73
Referências Bibliográficas	73
APÊNDICE A	79
Impedâncias de saída do inversor e da rede elétrica	79
APÊNDICE B	83

Pré-sincronização	83
APÊNDICE C	85
Implementação de PWM	85
APÊNDICE D	86
Implementação digital do controle	86
Algoritmo para o controle do inversor.....	87
APÊNDICE E	95
Código implementado para controle do inversor	95
APÊNDICE F	114
Testes do inversor.....	114
Defasagem de v_c	114
Tempo morto.....	115
Ensaio de aplicação e rejeição de carga	116

Capítulo 1

Introdução

1.1 - Paralelismo de UPSs

Nos últimos anos, a crescente demanda pelo fornecimento de energia elétrica de forma contínua para sistemas como os de suporte à vida, de comunicações, comerciais, de controle de processos industriais e de transporte, dentre outros, levou a um aumento do número de pesquisas sobre fontes de energia ininterrupta ou *Uninterruptible Power Supplies* (UPS) [1]-[5], e, particularmente, sobre a conexão em paralelo desses equipamentos.

O paralelismo de UPSs traz como vantagens a capacidade de expansão, a modularidade, a possibilidade de redundância e o consequente aumento da confiabilidade [1],[5]. Do ponto de vista de conversão de energia, o paralelismo de UPSs se traduz no paralelismo de inversores, visto que esse é o estágio de saída destes equipamentos [6]-[11].

O paralelismo sem comunicação de UPSs é um problema desafiador, o qual envolve diversas áreas como técnicas de controle, métodos de compartilhamento de potências e processamento digital de sinais. Devido à sua importância, estudos que possuem como enfoque o paralelismo têm se intensificado nos últimos anos [12]-[29].

Dentre os principais problemas associados ao paralelismo sem comunicação de UPSs, destaca-se a dificuldade em fazer com que haja estabilidade dinâmica deste sistema [5], [30]. Outro desafio consiste em compartilhar de forma igual as potências ativa, reativa e harmônica das cargas ligadas ao sistema.

Na literatura, encontram-se diversas estratégias para o compartilhamento de potência entre inversores operando em paralelo, as quais podem ser classificadas basicamente

em duas categorias: as estratégias que utilizam apenas as informações locais do inversor, como a tensão e a corrente de saída (paralelismo sem comunicação ou distribuído), e aquelas em que ocorre troca de informações entre as unidades (paralelismo com comunicação). O paralelismo sem comunicação é mais interessante por aumentar o grau de confiabilidade do sistema, evitando possíveis falhas causadas por perda de informações provenientes das comunicações entre as unidades.

O método *droop* ou do decaimento é muito utilizado no controle do paralelismo sem comunicação. Ele consiste em realizar o ajuste da frequência e da amplitude da tensão de saída do inversor de acordo com, respectivamente, a potência ativa e reativa fornecidas por ele [30].

Devido à natureza não linear das equações de fluxo de potência, a modelagem de pequenos sinais é muito utilizada para estudo da estabilidade e da dinâmica de inversores em paralelo [31]. A ordem deste modelo triplica para cada inversor conectado em paralelo, o que aumenta a complexidade e a dificuldade de análise e projeto. Neste contexto, é possível observar a necessidade de se investigar métodos alternativos com o intuito de simplificar a análise da dinâmica de inversores operando em paralelo.

Em relação à estabilidade do paralelismo de inversores empregando o método *droop*, foi verificado que a maioria dos estudos realizados analisavam o impacto da impedância da linha. Entretanto, o impacto do uso de frequências diferentes nos filtros de medição das potências ativa e reativa não tem sido reportado na literatura. Analisar o impacto destas frequências é importante visto que pode promover melhorias significativas na estabilidade e no aumento do amortecimento sem tornar o sistema complexo.

Desta forma, no presente trabalho a resposta obtida do modelo de pequenos sinais do paralelismo de um único inversor com uma barra infinita é analisada e comparada com a resposta do circuito eletrônico do paralelismo de inversores, ambos operando com o método *droop* e considerando os sistemas simétricos, ou seja, possuindo mesma impedância de linha. Além disso, é investigado o impacto na estabilidade e no amortecimento ao se utilizar frequências diferentes nos filtros de medição das potências ativa e reativa. O efeito de se incorporar uma ação do tipo PSS - *Power System Stabilizer* - ao controlador é, também, avaliado.

1.2 – Objetivos

Busca-se neste trabalho simplificar o modelo de pequenos sinais do paralelismo de inversores, bem como, avaliar aspectos de estabilidade e amortecimentos deste sistema.

Nesses termos, os objetivos específicos deste trabalho são:

- ❖ Obter e simular os modelos de pequenos sinais e os circuitos eletrônicos do paralelismo de um inversor com um barramento infinito, assim como, de inversores operando em paralelo, ambos utilizando o método *droop* e sistemas simétricos;
- ❖ Validar estes modelos de pequenos sinais por meio da comparação de seus resultados obtidos com os de seus respectivos circuitos eletrônicos;
- ❖ Simplificar o modelo do paralelismo de inversores por meio da análise e comparação do desempenho de modelos de pequenos sinais de um inversor conectado em paralelo a um barramento infinito com a resposta do circuito eletrônico de inversores operando em paralelo;
- ❖ Avaliar os aspectos de estabilidade e amortecimentos relacionados à utilização de frequências diferentes nos filtros de medição das potências ativa e reativa entregues pelas UPSs com e sem ação do *Power System Stabilizer* inclusa no controle;
- ❖ Desenvolver um algoritmo para o controle digital;
- ❖ Implementar uma montagem experimental para a realização dos paralelismos de um inversor com a rede elétrica e entre inversores;
- ❖ Realizar testes experimentais para ambos os paralelismos citados anteriormente;
- ❖ Validar a teoria e as simulações apresentadas no trabalho por meio de resultados experimentais.

1.3 - Contribuições do Trabalho

As principais contribuições deste trabalho consistem na modelagem, na simulação e nos testes experimentais do paralelismo de inversores visando a melhoria da estabilidade e a simplificação do modelo de pequenos sinais deste. Mais especificamente, realizou-se:

- ❖ A modelagem, simulação e análise do paralelismo de um inversor com uma barra infinita e entre inversores;

- ❖ A verificação da possibilidade de simplificação do modelo de pequenos sinais para o paralelismo de inversores em várias situações;
- ❖ A verificação do impacto do uso de frequências diferentes nos filtros de medição das potências ativa e reativa;
- ❖ A modelagem e análise do impacto da utilização do *Power System Stabilizer* (PSS) e frequências de cortes diferentes nos filtros de medição das potências ativa e reativa;
- ❖ A implementação de um algoritmo para o controle do inversor operando com método de controle *droop*;
- ❖ A realização de testes práticos para validação dos resultados teóricos e simulados obtidos.

1.4 – Estrutura do Texto

A estrutura da dissertação está organizada na forma descrita a seguir:

No Capítulo 2, é apresentada uma revisão de literatura;

No Capítulo 3, é mostrada uma breve introdução aos conceitos e modelos matemáticos de pequenos sinais do paralelismo de um inversor com o barramento infinito e do paralelismo de inversores, ambos utilizando o método *droop*. Além disso, é realizada uma análise da resposta obtida via modelo de pequenos sinais do paralelismo de um único inversor com uma barra infinita, a qual é comparada com a resposta do circuito eletrônico do paralelismo entre dois inversores. Esse estudo indica possibilidade de simplificação do modelo de pequenos sinais para o paralelismo de inversores em várias situações;

No Capítulo 4, estuda-se o impacto na estabilidade e amortecimento de se utilizar diferentes frequências de corte para os filtros de medição da potência ativa e reativa. Também é realizado o estudo deste impacto ao usar o *Power System Stabilizer* na ação de controle juntamente com a técnica de frequências de cortes diferentes nos filtros de medição das potências;

No Capítulo 5, são mostrados os esquemas e os procedimentos para as realizações dos paralelismos de um inversor com a rede elétrica e entre dois inversores. Além disso, são apresentados e analisados os resultados obtidos com estes paralelismos;

Por fim, no Capítulo 6 são apresentadas as conclusões finais do trabalho e as propostas de continuidade.

Capítulo 2

Contextualização sobre o paralelismo de UPSs e o método droop

A literatura técnica sobre UPSs e método *droop* é bastante extensa, sendo que nas últimas duas décadas percebe-se um aumento da produção científica na área. Os principais temas abordados são: técnicas de controle para paralelismo de UPSs, variações do método *droop*, microrredes e análise de estabilidade deste paralelismo. Nesta linha, procurou-se nos próximos parágrafos descrever e analisar alguns dos trabalhos mais conhecidos. Isto é feito com o intuito de apontar as características mais marcantes destes trabalhos e eventuais lacunas que possam ser preenchidas com novas pesquisas como a desenvolvida nesta dissertação.

O estudo realizado por He e Xing [32] propõe um novo controle distribuído para um sistema que possui módulos de *Uninterruptible Power Supply* (UPS) configurados em paralelo. Neste sistema, em cada módulo a tensão de referência de controle da sincronização e a corrente de carga de controle distribuída são desacopladas por um *feedback* local. Além disso, na implementação deste modelo, fez-se uso de um microcontrolador e de um circuito com portas lógicas para a pré-sincronização da tensão de referência em relação à corrente distribuída de controle. Em relação à regulação da tensão, esta foi baseada no método raiz quadrada da média. As simulações e experimentos constataram uma melhoria da tensão de saída e da corrente compartilhada, comprovando a viabilidade do método proposto.

Entretanto, a aplicação de circuitos analógicos, de forma geral, apresenta algumas limitações: pouca flexibilidade, variação paramétrica resultante devido ao envelhecimento e a temperatura, alta demanda de componentes eletrônicos, o que torna o projeto oneroso e com confiabilidade reduzida.

Em outro estudo, realizado por Pascual et al. [33], o sistema UPS com inversores configurados em paralelo foi utilizado, porém, com uso da técnica de controle robusto. Nesta técnica, emprega-se um modelo de filtro passa-baixas. Este modelo apresenta dinâmica rápida o suficiente para a aplicação da malha de tensão do conversor *buck* c.c.-c.c. que possui apenas um controlador proporcional-integral (P.I.) com malhas de corrente e um controlador centralizado *robust model-following* (R.M.F.) de tensão. Além disso, também foi feita uma comparação por meio de simulação entre as respostas obtidas para a técnica relatada e para o sistema com apenas um controlador P.I.. O primeiro apresentou uma redução da distorção da tensão de saída para entrada de cargas em degrau e altas distorções da corrente de saída. Nos experimentos com módulos online de UPS para a potência de 1 kVA, os resultados obtidos validaram as simulações. Dehghan et al. [1] desenvolveram um estudo sobre um controlador de alta performance para sistemas UPS trifásicos com potência desbalanceada e cargas não lineares. Este controlador foi desenvolvido considerando o eixo de referência síncrono e utiliza a configuração *master-slave* (M.S.). A unidade mestre é responsável pelo controle da potência compartilhada e da regulação da tensão, enquanto as unidades escravas recebem os comandos da unidade mestre via comunicação serial. Em relação à compensação da tensão harmônica, esta é realizada em cada unidade de forma independente. Neste estudo, também foi aplicada a técnica de impedância virtual, a qual foi utilizada para o compartilhamento das correntes harmônicas. Foram realizadas simulações deste sistema para uma potência de 20 kVA e tensão de 380 V, sendo verificado que em situações de potência desbalanceada e cargas não-lineares, o sistema apresentou um compartilhamento de potência e tempo de resposta satisfatórios. Zhang et al. [34] implementaram um método de controle de potência virtual para melhorar o desacoplamento entre as potências ativa e reativa de um sistema composto por inversores em paralelo. Estes inversores são controlados por inclinação com ângulo de rotação unificado na transformação da potência. O ângulo foi determinado a partir do Critério de Estabilidade de Routh. Além disso, para reduzir ainda mais o acoplamento das potências, foram inseridos filtros passa-baixas no trajeto de desacoplamento. Foram realizados simulações e experimentos que validaram a eficácia do método proposto. Nos trabalhos mencionados (Pascual et al., Dehghan et al. e Zhang et al.), a utilização de técnicas diferentes do método

droop convencional resultou no aumento da complexidade do modelo de pequenos sinais, o que dificulta as análises e projetos.

Mohamed e El-Saadany [35] propuseram uma técnica de controle *droop* descentralizado para o sistema de geração distribuída baseada em inversores em paralelo em microrredes. Esse controle foi aplicado para sanar os problemas observados para a estabilidade de compartilhamento de potência destes sistemas ao operar em baixas frequências. Dessa forma, o compartilhamento de potência foi selecionado de acordo com as características do *droop* estático juntamente com uma função *droop* com resposta adaptativa. No método *droop* com resposta adaptativa, o ganho do controlador varia para diferentes condições de cargas. Esta variação ocorre de acordo com as potências ativa e reativa filtradas. Desta forma, uma potência de saída estável e suave para diferentes condições de cargas foi verificada. Apesar deste estudo analisar a estabilidade do sistema em baixas frequências, não foi realizada uma investigação em relação ao uso de frequências de corte diferentes nos filtros de medição das potências ativa e reativa.

Corradini et al. [36] desenvolveram um estudo no qual analisaram um sistema UPS com cargas conectadas via cabos longos. Essa análise foi realizada considerando condições encontradas na prática, ou seja, sem considerar que os cabos possuem característica apenas indutiva ou resistiva. Os autores constataram que o tamanho do cabo influencia diretamente na estabilidade e desempenho do sistema devido à indutância do cabo que gera fenômenos de ressonância. Também foram realizados experimentos para um sistema UPS trifásico com potência de 40 kVA, sendo confirmada a relevância das características da impedância dos cabos. No trabalho realizado por Corradini et al., a avaliação da estabilidade do sistema limitou-se apenas as características dos cabos, sendo evidente a importância de estudos mais aprofundados que incluam outros parâmetros.

Azevedo et al. [37] implementaram um controlador digital aplicado em sistemas UPS sem comunicação. Os autores utilizaram o método de tendência de sincronização natural de cargas não-lineares oscilatórias quando conectadas na mesma rede. As simulações de dois sistemas UPS conectados em paralelo com carga resistiva comprovaram a viabilidade do sistema proposto. Shamsheh, Kawamura e Yoshino [5] propuseram um controle robusto para o compartilhamento de potência de um sistema com unidades UPS em paralelo com filtros de saída LCL. Os resultados das simulações demonstraram que grandes atrasos para troca de informações entre as unidades UPS podem levar a instabilidade. Outra constatação foi que o controlador possui robustez contra variação de carga e operação em *hot-swap*. Golsorkhi e Lu [38] utilizaram o método *droop* considerando as tensões representadas em eixo direto e em

quadratura. Também foi realizada a análise dos autovalores deste sistema, que mostrou que o mesmo apresentou uma dinâmica mais rápida e um melhor amortecimento quando comparado ao método *droop* convencional. Foram realizadas simulações para o método proposto que comprovaram sua eficácia. Porém, nota-se a necessidade da validação destes resultados por meio de testes experimentais. Vasquez et al. [39] modelaram, implementaram e analisaram a estabilidade de um controlador para uma microrrede com inversores controlados por tensão operando em paralelo. O controle deste fundamentou-se no eixo de referência estacionário e foi realizado em duas etapas. A primeira é responsável pela aplicação do método *droop* e das malhas da impedância virtual. Enquanto a segunda etapa opera para compensar as variações das frequências e amplitudes devido à ação da primeira etapa. As simulações e experimentos comprovaram o desempenho e a robustez do sistema proposto. Rowe et al. [40] implementaram uma microrrede com dois inversores. O controle destes foi realizado empregando uma função arco tangente para a técnica de *droop* potência-frequência. Essa função permite a melhoria da estabilidade para pequenos sinais, além de ser um método flexível. As simulações realizadas validaram esta melhoria. Entretanto, nos trabalhos realizados por Azevedo et al., Shamsheh, Kawamura e Yoshino, Golsorkhi e Lu, Vasquez et al. e Rowe et al. nota-se a necessidade da complementação dos estudos com resultados experimentais.

Liang et al. [41] realizaram a análise de estabilidade para o método *droop* baseado no controle descentralizado de inversores em uma microrrede. Neste sistema foi empregada a estratégia de compartilhamento de carga utilizando os dados das potências ativa e reativa reais geradas em todas as unidades de geração distribuída (D.G.). Estes dados foram obtidos via rede *wireless*. Desta forma, o controlador *droop* tradicional foi adaptado para as informações adquiridas das potências total do sistema e de cada unidade D.G.. Foram realizadas análises de modelos de pequenos sinais para as situações com e sem *delay* para a comunicação *wireless*. Porém, o sistema proposto não é viável ao ser sujeito a *delays* significativos.

Baseado no levantamento bibliográfico apresentado anteriormente, os principais desafios encontrados são a necessidade de simplificação do modelo de pequenos sinais do paralelismo de UPSs, a análise do impacto na estabilidade ao se utilizar frequências de corte diferentes nos filtros de medição das potências ativa e reativa e a validação dos resultados por meio de experimentos. Nesse contexto, o presente trabalho contribui para sanar estes desafios.

Capítulo 3

Paralelismo sem comunicação utilizando método droop convencional

No presente capítulo é apresentado o estudo do paralelismo sem comunicação de fontes de corrente alternada (c.a.), sendo utilizado o método *droop* convencional. O comportamento dinâmico do paralelismo de um inversor com uma barra infinita e o paralelismo entre inversores são tratados neste estudo. Para o primeiro paralelismo, a barra possui tensão senoidal com amplitude e frequência independentes dos parâmetros da tensão de saída do inversor. Já no segundo, ocorre a variação da tensão de saída de acordo com a mudança na tensão de saída de outros inversores, ou seja, um inversor influencia na tensão de saída do outro. Também é efetuada uma comparação entre as dinâmicas do paralelismo de um inversor com um barramento infinito e do paralelismo entre inversores.

Esses estudos foram motivados pelo fato do modelo de pequenos sinais ser muito utilizado na análise da estabilidade e da dinâmica do sistema formado pelos inversores em paralelo. Isso ocorre por causa da natureza não linear das equações de fluxo de potência no paralelismo. A ordem deste modelo de pequenos sinais aumenta com o número de inversores em paralelo, elevando a complexidade e dificultando a análise e o projeto, mostrando a importância da simplificação deste modelo.

Na seção 3.1 é realizada uma breve introdução sobre a configuração eletrônica do paralelismo sem comunicação de um inversor com um barramento infinito utilizada neste trabalho e também sobre o método *droop* convencional. Em seguida, são mostradas as equações de regime permanente para se determinar os valores estáticos das potências ativa P e reativa Q . Também é apresentado o modelo de pequenos sinais deste paralelismo operando com método *droop*. Esse modelo é validado sobrepondo suas respostas com as obtidas de seu respectivo circuito eletrônico.

Na seção 3.2 é demonstrado o modelo de pequenos sinais para o paralelismo sem comunicação de “ N ” inversores operando com método *droop*, o qual foi validado comparando seus resultados com os de seu respectivo circuito eletrônico.

Na seção 3.3 é feita uma análise comparativa dos polos obtidos para o paralelismo de um inversor com um barramento infinito e para os paralelismos de dois e três inversores. Também é realizada uma comparação entre as respostas dinâmicas do modelo de pequenos sinais do paralelismo com a barra e as curvas obtidas com a simulação do circuito eletrônico do paralelismo de dois inversores e, em seguida, com as curvas do paralelismo de três inversores.

Valores por unidade (p.u.) são utilizados, sempre que possível, para reduzir a dependência dos valores numéricos utilizados ao decorrer deste trabalho.

3.1 - Paralelismo de um inversor com um barramento infinito

A configuração adotada para a conexão de um inversor com uma barra infinita é mostrada na Fig. 3.1. Nessa figura, E é a tensão eficaz do inversor, V a tensão eficaz do barramento, P e Q são as potências ativa e reativa, respectivamente, fornecidas pelo inversor e $Z = R + j \cdot X$ é a impedância da linha.

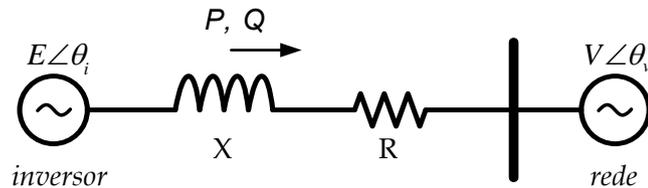


Fig. 3.1 - Inversor conectado a uma barra infinita. Fonte: Adptado de [4].

3.1.1 – Método droop tradicional

O método *droop* ou de decaimento é uma lei de controle convencional aplicada para a conexão em paralelo de fontes c.a.. Ela é, originalmente, empregada em Sistemas Elétricos de Potência (SEP) [42]. Baseada na premissa de que a linha possui uma impedância indutiva muito superior à resistiva ($X \gg R$), ela consiste em reduzir a frequência ω_i e a amplitude da tensão E de saídas do inversor de acordo com, respectivamente, os crescimentos das potências ativa P_{med} e reativa Q_{med} fornecidas pelo mesmo. Essa lei é matematicamente expressa pelas chamadas retas de decaimento ω - P e E - Q , mostradas a seguir:

$$\omega_i = \omega_o - k_p(P_{med} - P_{ref}), \quad (3.1)$$

sendo que ω_o e P_0 constituem os pontos de *offset* da reta ω - P e k_p a sua inclinação, e

$$E = E_o - k_v(Q_{med} - Q_{ref}), \quad (3.2)$$

sendo que E_o e Q_0 constituem os pontos de *offset* da reta E - Q e k_v a sua inclinação.

A Fig. 3.2 mostra graficamente as leis de controle (3.1) e (3.2). Nesta figura podem ser vistos os pares ordenados (ω_o, P_{ref}) e (E_o, Q_{ref}) , os quais correspondem aos pontos de operação $P_{med} = P_0$ e $Q_{med} = Q_0$, respectivamente.

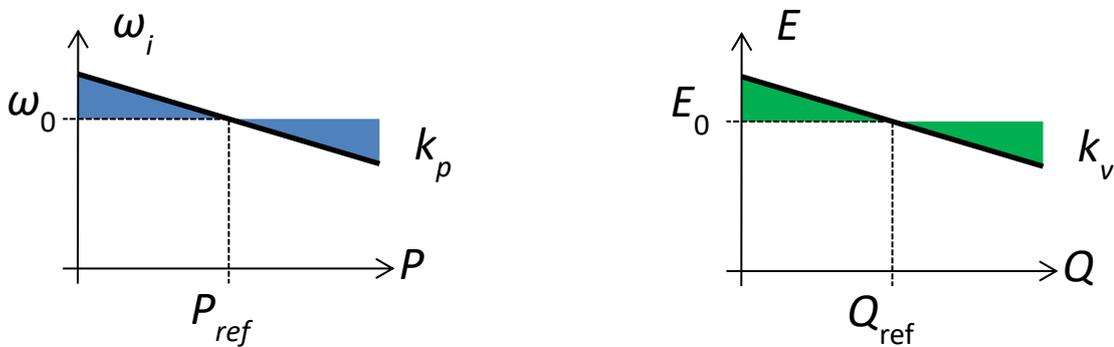


Fig. 3.2 - Leis de controle do método *droop* convencional. Fonte: Adptado de [43].

No presente trabalho, tanto P_{ref} quanto Q_{ref} foram considerados iguais a zero. Desta forma, as equações (3.1) e (3.2) assumem a seguinte forma:

$$\omega_i = \omega_o - k_p P_{med}, \quad (3.3)$$

$$E_i = E_o - k_v Q_{med}, \quad (3.4)$$

como é mostrado na Fig. 3.3.

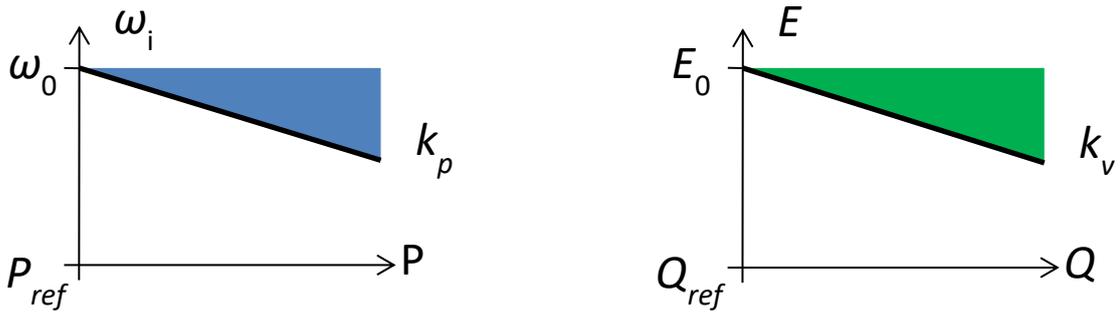


Fig. 3.3 - Leis de controle do método *droop* convencional ($P_{ref}=0$ e $Q_{ref}=0$). Fonte: Adptado de [4].

3.1.2 - Regime permanente

A partir de (3.3) e explicitando-se P_{med} (onde $P_{med}=P_e$) é possível determinar o valor de regime permanente da potência ativa P_e fornecida.

$$P_e = \frac{\omega_o - \omega_i}{k_p}. \quad (3.5)$$

Sabendo-se que as frequências do inversor e do barramento infinito devem ser iguais em regime permanente, ou seja, $\omega_i = \omega_v$, e que nessa situação o ângulo de defasagem entre E e V (δ) tende a uma constante, a expressão (3.5) pode ser reescrita da seguinte maneira:

$$P_e = \frac{\omega_o - \omega_v}{k_p}. \quad (3.6)$$

Ao analisar (3.6) é possível concluir que o valor estático de P_e depende apenas dos parâmetros k_p e ω_o , ou seja, seu ajuste independe dos parâmetros da linha e da amplitude da tensão V do barramento.

A expressão de regime permanente da potência reativa Q_e pode ser determinada através da equação a seguir

$$E^2 + EV \cos \delta - XQ - RP = 0. \quad (3.7)$$

onde deve ser incluída a lei de controle $E-Q$ (3.4), com $P=P_e$, e $Q=Q_e$, obtendo-se:

$$Q_e^2 + Q_e \left(\frac{V - 2E_e}{k_v} - \frac{X}{k_p^2} \right) + \frac{E_e^2 - E_e V - R P_e}{k_v^2} = 0. \quad (3.8)$$

Por inspeção de (3.8) verifica-se que o valor da potência reativa Q_e depende dos parâmetros E_e (tensão de saída do inversor em regime permanente) e k_v da curva de decaimento

E - Q , do valor estático de P_e , da amplitude da tensão V do barramento infinito e dos parâmetros R e X da linha. A solução de (3.8) possui duas raízes, mas apenas uma é realizável.

3.1.3 – Modelo de pequenos sinais do paralelismo de um inversor com um barramento infinito

Utilizando a configuração apresentada na Fig. 3.1 e as equações apresentadas em [43], tem-se:

$$S = EI^* = E \angle \theta_i \left(\frac{E \angle \theta_i - V \angle \theta_v}{R + jX} \right)^* = P + jQ, \quad (3.9)$$

sendo que S é a potência aparente e (*) indica complexo conjugado.

As potências ativa e reativa correspondem às partes real e imaginária de (3.9), as quais são dadas por:

$$P(E, \delta) = \frac{1}{R^2 + X^2} (RE^2 - REV \cos \delta + XEV \sin \delta), \quad (3.10)$$

$$Q(E, \delta) = \frac{1}{R^2 + X^2} (XE^2 - XEV \cos \delta - REV \sin \delta), \quad (3.11)$$

onde δ é dado por:

$$\delta = \theta_i - \theta_v = \int (\omega_i - \omega_v) dt. \quad (3.12)$$

Os valores de E e δ em regime permanente constituem o ponto de equilíbrio (E_e , δ_e) e definem os valores dos fluxos de potência ativa e reativa nessa situação. Para a construção do modelo de pequenos sinais, o qual descreve o comportamento do sistema nas proximidades do ponto de equilíbrio, é preciso obter a dependência de P e Q em relação às entradas E e δ . Assim, são calculadas as constantes (ganhos):

$$k_{pe} = \left. \frac{\partial P}{\partial E} \right|_{\substack{E = E_e \\ \delta = \delta_e}} = \frac{1}{R^2 + X^2} (2RE_e - RV \cos \delta_e + XV \sin \delta_e) W/V, \quad (3.13)$$

$$k_{pd} = \left. \frac{\partial P}{\partial \delta} \right|_{\substack{E = E_e \\ \delta = \delta_e}} = \frac{1}{R^2 + X^2} (RE_e V \sin \delta_e + XE_e V \cos \delta_e) W/rad, \quad (3.14)$$

$$k_{qe} = \left. \frac{\partial Q}{\partial E} \right|_{\substack{E = E_e \\ \delta = \delta_e}} = \frac{1}{R^2 + X^2} (2XE_e - XV \cos \delta_e - RV \sin \delta_e) VAR/V, \quad (3.15)$$

$$k_{qd} = \left. \frac{\partial Q}{\partial \delta} \right|_{\substack{E = E_e \\ \delta = \delta_e}} = \frac{1}{R^2 + X^2} (XE_e V \sin \delta_e - RE_e V \cos \delta_e) \text{ Var/rad}, \quad (3.16)$$

A partir da modelagem realizada em [4], têm-se que:

$$\Delta P = k_{pd} \Delta \delta + k_{pe} \Delta E, \quad (3.17)$$

$$\Delta Q = k_{qd} \Delta \delta + k_{qe} \Delta E. \quad (3.18)$$

Para a realização dos decaimentos (*droop*) de frequência e de amplitude descritos por (3.3) e (3.4), é necessário medir os valores médios instantâneos das potências P e de Q , as quais possuem componentes de 120 Hz, no caso livre de harmônicos. Isso envolve filtros passa-baixas que são aqui considerados como de 1ª ordem, com frequências de corte ω_{cp} e ω_{cq} , respectivamente. Assim, os desvios ΔP_{med} e ΔQ_{med} das potências medidas P_{med} e Q_{med} são:

$$\Delta P_{med} = \Delta P \frac{\omega_{cp}}{s + \omega_{cp}}, \quad (3.19)$$

$$\Delta Q_{med} = \Delta Q \frac{\omega_{cq}}{s + \omega_{cq}}, \quad (3.20)$$

os quais produzirão os correspondentes desvios em ω e E :

$$\Delta \omega = -k_p \Delta P_{med}, \quad (3.21)$$

$$\Delta E = -k_v \Delta Q_{med}. \quad (3.22)$$

Considerando constante a frequência ω_v da tensão da barra infinita em (3.12), o desvio $\Delta \delta$ no defasamento pode ser escrito como $\Delta \delta = \int \Delta \omega_i dt$, ou no domínio da frequência

$$\Delta \delta = \frac{\Delta \omega}{s}. \quad (3.23)$$

Explicitando-se o valor de $\Delta \omega$ em (3.23) e substituindo-o em (3.21), e o valor de ΔP_{med} da expressão resultante em (3.19), juntamente com (3.17), obtém-se

$$\Delta P(s) = -k_{pe} k_v \frac{\omega_{cq}}{s + \omega_{cq}} \Delta Q(s) - k_{pd} k_p \frac{\omega_{cp}}{s + \omega_{cp}} \frac{\Delta P(s)}{s}, \quad (3.24)$$

Similarmente, substituindo-se (3.22) em (3.18) e a expressão resultante em (3.20), obtém-se

$$\Delta Q(s) = -k_{qe} k_v \frac{\omega_{cq}}{s + \omega_{cq}} \Delta Q(s) - k_{qd} k_p \frac{\omega_{cp}}{s + \omega_{cp}} \frac{\Delta P(s)}{s}. \quad (3.25)$$

A representação gráfica das equações de pequenos sinais (3.23), (3.24) e (3.25) é mostrada na Fig. 3.4.

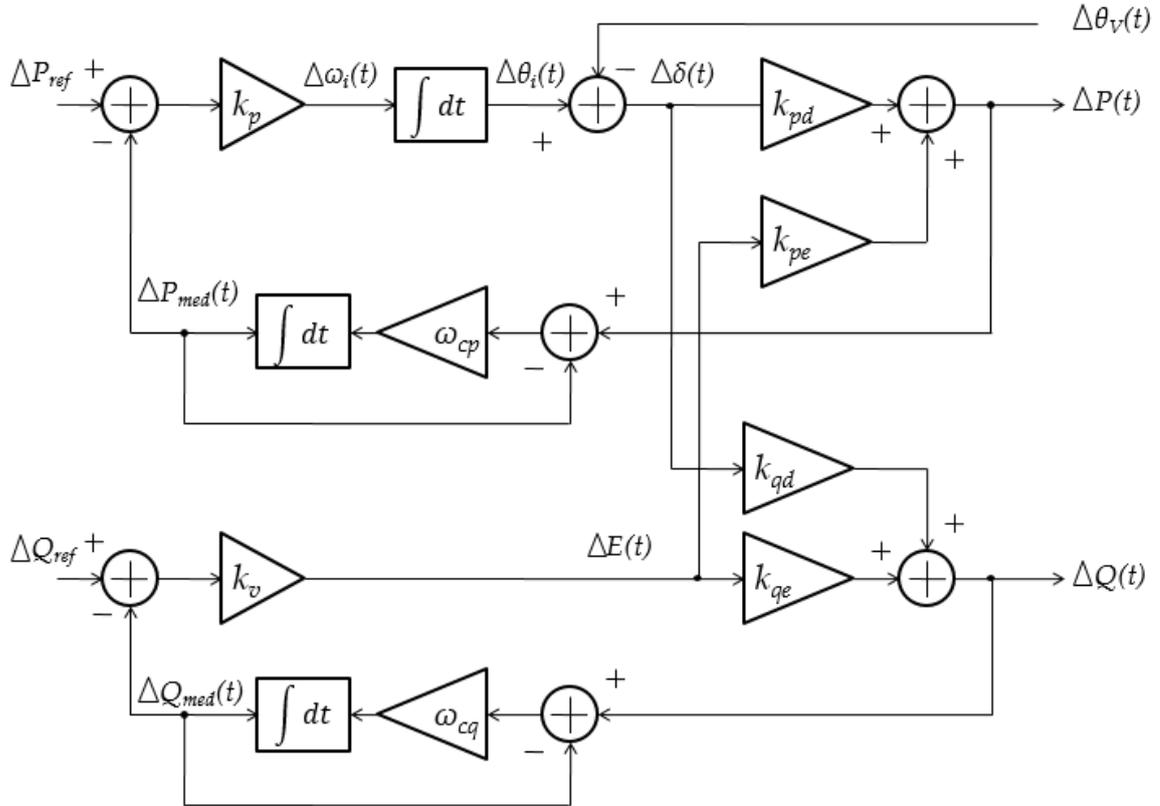


Fig. 3.4 - Modelo de pequenos sinais para o paralelismo de um inversor com uma barra infinita utilizando o método *droop*. Fonte: Adaptado de [4].

Nessa figura, as referências P_{ref} e Q_{ref} de valor nulo foram introduzidas para destacar a existência das malhas fechadas. Considerando-se $\Delta\delta$, ΔP_{med} e ΔQ_{med} como variáveis de estado, o modelo de pequenos sinais apresentado na Fig. 3.4 pode ser descrito por

$$\frac{d}{dt} \begin{bmatrix} \Delta\delta \\ \Delta P_{med} \\ \Delta Q_{med} \end{bmatrix} = \begin{bmatrix} 0 & -k_p & 0 \\ \omega_{cp}k_{pd} & -\omega_{cp} & -\omega_{cp}k_vk_{pe} \\ \omega_{cq}k_{qd} & 0 & -\omega_{cq}(1+k_vk_{qe}) \end{bmatrix} \begin{bmatrix} \Delta\delta \\ \Delta P_{med} \\ \Delta Q_{med} \end{bmatrix}, \quad (3.26)$$

cujas solução é do tipo:

$$X(t) = e^{At}X(0), \quad (3.27)$$

sendo que A é a matriz de coeficientes em (3.27).

3.1.4 - Análise da dinâmica do paralelismo de um inversor com um barramento infinito

Nesta seção, são apresentados e analisados os resultados obtidos por meio do modelo matemático descrito em (3.26) e do circuito eletrônico (Fig. 3.4) do paralelismo com uma barra infinita, sendo os parâmetros utilizados apresentados na Tabela 3.1, $R/X = 0,2$ e fator de potência igual a 1. Além disso, foram feitas as seguintes considerações: $P_{ref} = 0$, $Q_{ref} =$

0 e $\delta = 0$ até o instante de 1,5s, após isso ocorre um salto de fase de $0,5^\circ$ na tensão de saída do inversor.

Tabela 3.1 – Parâmetros utilizados para simulação do método *droop* convencional

Parâmetro	Símbolo	Valor	Unidade
Tensão nominal	V	127	V_{RMS}
Frequência da tensão	f_0	60	Hz
Potência aparente nominal	S	1	kVA
Impedância nominal da linha	Z	0,02	p.u.
Relação R/X nominal da linha	-	10^{-2} a 10^2	-
Inclinação da reta $E-Q$	k_v	$6,4 \cdot 10^{-3}$	V_{RMS}/VA_r (5%)
Inclinação da reta ω_i-P	k_p	$1,9 \cdot 10^{-3}$	rad/s.W (0,5%)
Offset da reta ω_i-P	ω_o	377,93	rad/s
Offset da reta $E-Q$	E_o	1,02	p.u.
Frequência de corte dos filtros de medição	ω_{cp} e ω_{cq}	2	Hz
		12,57	rad/s

Desta forma, a partir da equação (3.26) foi possível determinar a resposta temporal do sistema, enquanto que utilizando (3.27) pôde-se obter a equação característica do sistema e, conseqüentemente, suas raízes (que no caso são os autovalores da matriz A). Também foi realizada uma simulação do circuito apresentado na Fig. 3.1. As simulações foram realizadas utilizando a ferramenta computacional *simulink*, do pacote de *software* MATLAB R2016a (versão estudante).

As curvas da frequência ω_1 , tensão E_1 , potências ativa P_1 e reativa Q_1 de saída do inversor podem ser vistos na Fig. 3.5.

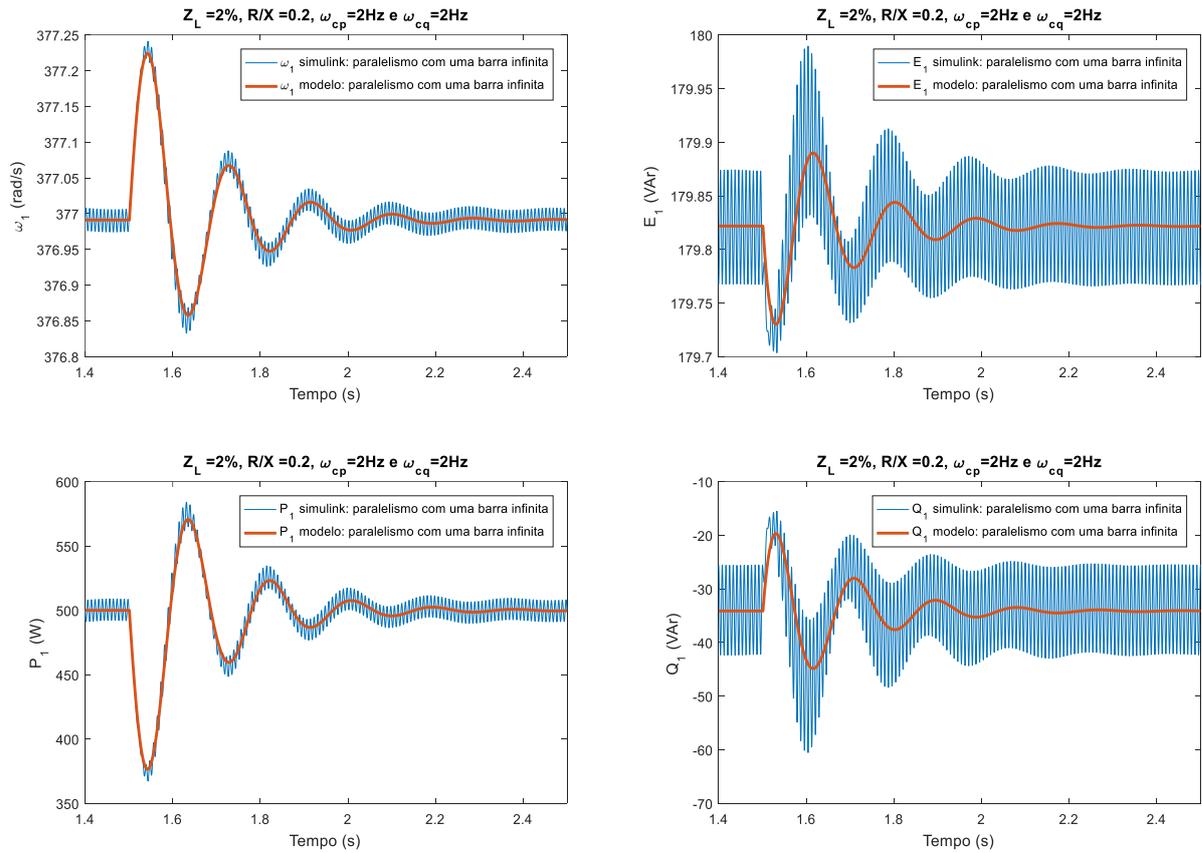


Fig. 3.5 – Curva das frequências e tensões de saída dos inversores. $R/X = 0,2$ e $Z_L = 2\%$.

Na Fig. 3.5 pode ser observado que não houve desvio perceptível entre as curvas obtidas para o modelo e as respostas da simulação do circuito eletrônico de um inversor conectado em paralelo com uma barra infinita.

A seguir, a Fig. 3.6 apresenta os *root loci* do sistema composto por um inversor em paralelo com barramento infinito para a variação de R/X (10^{-2} a 10^2) e impedância de carga (Z_L) igual a 2%.

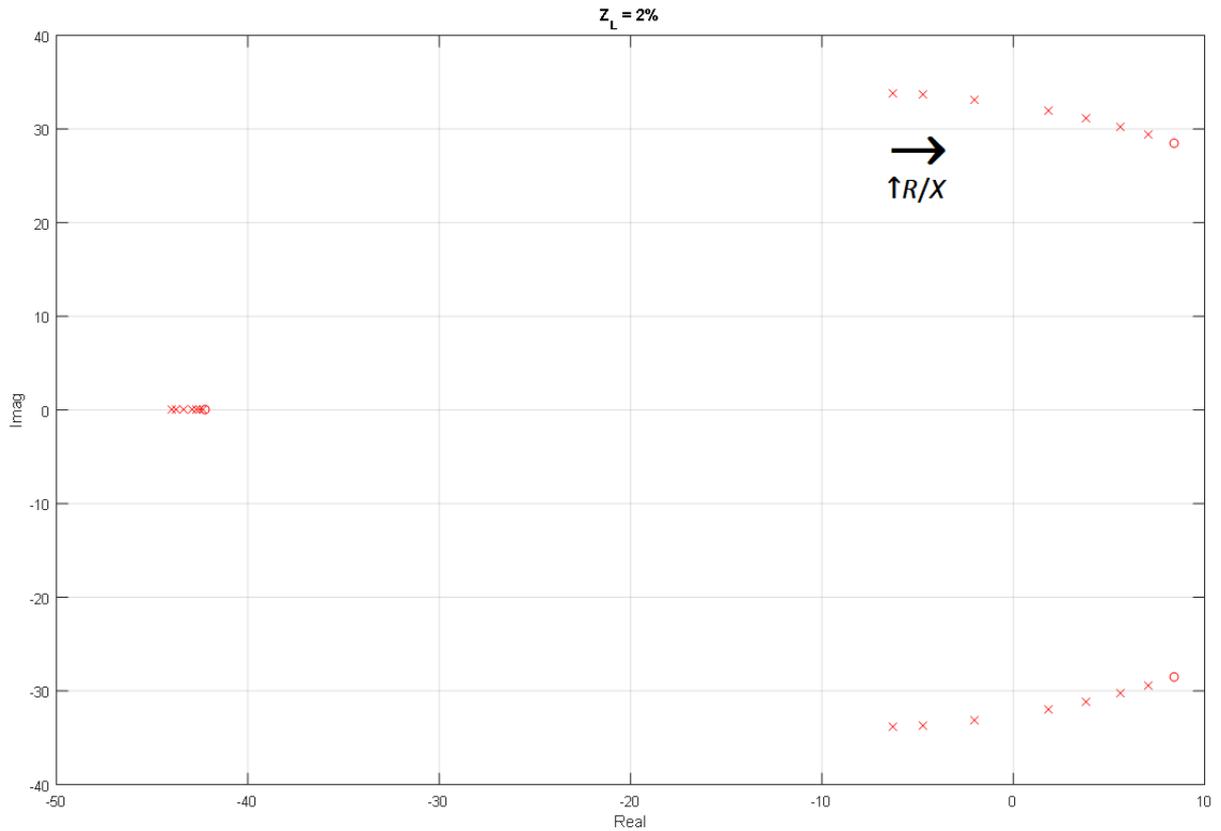


Fig. 3.6 - *Root loci* do paralelismo de um inversor com um barramento infinito para a variação de R/X na faixa 10^{-2} a 10^2 . $Z_L = 2\%$. O símbolo "o" representa os autovalores obtidos com $R/X = 100$.

Como pode ser constatado na Fig. 3.6, à medida que a linha torna-se mais resistiva, os polos mais lentos do sistema deslocam-se para a direita. Isso resulta na elevação do tempo de acomodação do sistema. Além disso, a partir de um dado valor de R/X (aproximadamente 1), o sistema se torna instável.

3.2 - Modelo de pequenos sinais para o paralelismo entre inversores

A configuração adotada foi baseada no modelo descrito em [4]. Desta forma, o paralelismo de N inversores pode ser visto na Fig. 3.7, onde E_i é a tensão de saída de dado inversor, V a tensão do barramento de carga e $Z_{L,i} = R_i + j \cdot X_i$ a impedância da linha do inversor i .

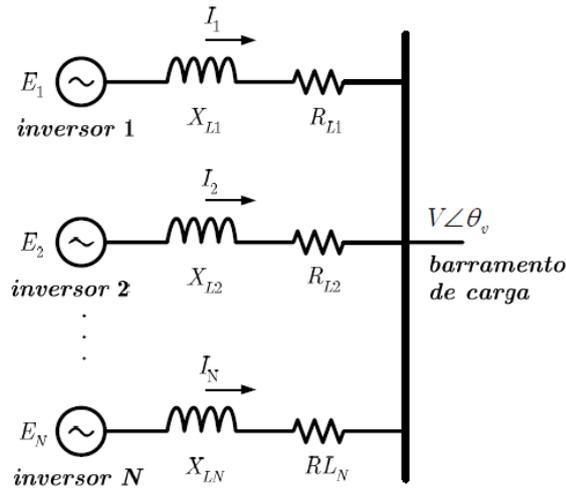


Fig. 3.7 – Configuração adotada para N inversores conectados em paralelo. Fonte: Adptado de [4].

No modelo de pequenos sinais proposto em [43], os pequenos desvios do fasor tensão de saída de cada inversor são representados por suas componentes ortogonais real Δe_{di} e imaginária Δe_{qi} , como ilustrado na Fig. 3.8.

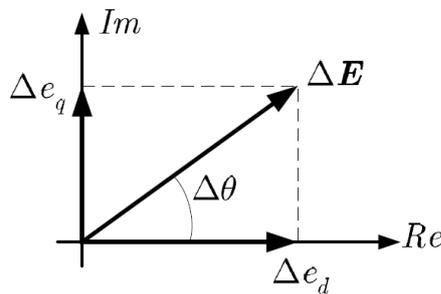


Fig. 3.8 – Representação de pequenos sinais da tensão de saída de cada inversor. Fonte: [4].

A aplicação do método *droop* promove a variação da amplitude e da frequência da tensão de saída de acordo com (3.3) e (3.4). Assim, os desvios $\Delta\omega$, Δe_d e Δe_q do fasor tensão de saída do inversor são tomados como variáveis de estado e ΔP e ΔQ são tomadas como entradas, de acordo com a expressão

$$\frac{d}{dt} \begin{bmatrix} \Delta\omega_i \\ \Delta e_{di} \\ \Delta e_{qi} \end{bmatrix} = \mathbf{M}_i \begin{bmatrix} \Delta\omega_i \\ \Delta e_{di} \\ \Delta e_{qi} \end{bmatrix} + \mathbf{C}_i \begin{bmatrix} \Delta P_i \\ \Delta Q_i \end{bmatrix}, \quad (3.28)$$

sendo \mathbf{M}_i e \mathbf{C}_i são matrizes constituídas pelos coeficientes de pequenos sinais calculados em torno do ponto de operação $(\omega_0, e_{d0}, e_{q0})$, dadas por

$$\mathbf{M}_i = \begin{bmatrix} -\omega_{cp} & 0 & 0 \\ \frac{n_q}{m_d n_q - m_q n_d} & \frac{m_q n_d \omega_{cq}}{m_d n_q - m_q n_d} & \frac{m_q n_q \omega_{cq}}{m_d n_q - m_q n_d} \\ \frac{n_d}{m_q n_d - m_d n_q} & \frac{m_d n_d \omega_{cq}}{m_q n_d - m_d n_q} & \frac{m_d n_q \omega_{cq}}{m_q n_d - m_d n_q} \end{bmatrix}, \quad (3.29)$$

$$\mathbf{C}_i = \begin{bmatrix} -k_p \omega_{cp} & 0 \\ 0 & \frac{k_v m_q \omega_{cq}}{m_d n_q - m_q n_d} \\ 0 & \frac{k_v m_d \omega_{cq}}{m_q n_d - m_d n_q} \end{bmatrix} \quad (3.30)$$

sendo

$$m_d = -\frac{e_{q0}}{e_{d0}^2 + e_{q0}^2}, \quad (3.31)$$

$$m_q = \frac{e_{d0}}{e_{d0}^2 + e_{q0}^2}, \quad (3.32)$$

$$n_d = \frac{e_{d0}}{\sqrt{e_{d0}^2 + e_{q0}^2}}, \quad (3.33)$$

$$n_q = \frac{e_{q0}}{\sqrt{e_{d0}^2 + e_{q0}^2}}, \quad (3.34)$$

os coeficientes de pequenos sinais do fasor E e ω_{cp} e ω_{cq} são as frequências de corte dos filtros de medição das potências ativa e reativa do inversor, respectivamente.

As correntes de saída dos inversores podem ser expressas pela equação nodal $\mathbf{I} = \mathbf{Y}_s \mathbf{E}$, onde \mathbf{Y}_s é a matriz admitância da rede. Os desvios Δi em torno do ponto de operação podem ser encontrados por

$$\Delta \mathbf{i} = \mathbf{Y}_s \Delta \mathbf{e}, \quad (3.35)$$

As potências ativas P_i e reativas Q_i de cada inversor em função das componentes ortogonais de E e I são expressas por

$$P_i = e_{di} i_{di} + e_{qi} i_{qi}, \quad (3.36)$$

$$Q_i = -e_{di} i_{qi} + e_{qi} i_{di}. \quad (3.37)$$

Agrupando-se as potências ativa e reativa numa matriz de potência aparente $\Delta \mathbf{S}_i = [\Delta P_i \ \Delta Q_i]'$, pode-se escrever para os desvios de potência de dado inversor na forma

$$\Delta \mathbf{S}_i = \begin{bmatrix} \Delta P_i \\ \Delta Q_i \end{bmatrix} = \begin{bmatrix} i_{d0i} & i_{q0i} \\ -i_{q0i} & i_{d0i} \end{bmatrix} \begin{bmatrix} \Delta e_{di} \\ \Delta e_{qi} \end{bmatrix} + \begin{bmatrix} e_{d0i} & e_{q0i} \\ e_{q0i} & -e_{d0i} \end{bmatrix} \begin{bmatrix} \Delta i_{di} \\ \Delta i_{qi} \end{bmatrix}. \quad (3.38)$$

A representação do sistema completo, composto por N inversores, requer o agrupamento das matrizes $\Delta \mathbf{S}_i$, ou seja

$$\Delta \mathbf{S} = [\Delta \mathbf{S}_1 \ \Delta \mathbf{S}_2 \ \cdots \ \Delta \mathbf{S}_N]', \quad (3.39)$$

e assim

$$\Delta \mathbf{S} = \mathbf{I}_0 \Delta \mathbf{e} + \mathbf{E}_0 \Delta \mathbf{i}, \quad (3.40)$$

onde \mathbf{I}_0 e \mathbf{E}_0 são as matrizes na forma real das correntes e tensões de saída dos inversores no ponto de operação.

Expandindo-se (3.28), obtém-se a equação de estados para o sistema completo, composto por N inversores e tendo $\Delta \mathbf{S}_i$ como entrada:

$$\begin{aligned} \frac{d}{dt} \begin{bmatrix} \mathbf{X}_1 \\ \mathbf{X}_2 \\ \vdots \\ \mathbf{X}_N \end{bmatrix}_{3Nx1} &= \begin{bmatrix} \mathbf{M}_1 & 0 & \cdots & 0 \\ 0 & \mathbf{M}_2 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & \mathbf{M}_N \end{bmatrix}_{3Nx3N} \begin{bmatrix} \mathbf{X}_1 \\ \mathbf{X}_2 \\ \vdots \\ \mathbf{X}_N \end{bmatrix}_{3Nx1} + \\ &+ \begin{bmatrix} \mathbf{C}_1 & 0 & \cdots & 0 \\ 0 & \mathbf{C}_2 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & \mathbf{C}_N \end{bmatrix}_{3Nx2N} \begin{bmatrix} \Delta \mathbf{S}_1 \\ \Delta \mathbf{S}_2 \\ \vdots \\ \Delta \mathbf{S}_N \end{bmatrix}_{2Nx1}, \end{aligned} \quad (3.41)$$

ou $\Delta \dot{\mathbf{X}} = \mathbf{M} \Delta \mathbf{X} + \mathbf{C} \Delta \mathbf{S}$. Como $\Delta \mathbf{S}$ em (3.41) depende das conexões de rede conforme (3.40) e (3.35), combinando essas três expressões chega-se à representação do sistema sem entrada na forma $\Delta \dot{\mathbf{X}} = \mathbf{A} \Delta \mathbf{X}$, onde

$$\mathbf{A} = \mathbf{M} + \mathbf{C}(\mathbf{I}_0 + \mathbf{E}_0 \mathbf{Y}_s) \mathbf{K}. \quad (3.42)$$

Nessa expressão, \mathbf{K} é uma matriz que relaciona $\Delta \mathbf{e}$ e $\Delta \mathbf{X}$, na forma $\Delta \mathbf{e} = \mathbf{K} \Delta \mathbf{X}$, com \mathbf{K} dado por

$$\mathbf{K}_{2xN,3xN} = \begin{bmatrix} 0 & 1 & 0 & \cdots & 0 & 0 & 0 \\ 0 & 0 & 1 & \cdots & 0 & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & 0 & 1 & 0 \\ 0 & 0 & 0 & \cdots & 0 & 0 & 1 \end{bmatrix}. \quad (3.43)$$

Os autovalores da matriz \mathbf{A} determinam a dinâmica do sistema composto pelos N inversores conectados em paralelo com controle pelo método *droop* e utilizando filtros de primeira ordem para as medições das potências ativa e reativa.

3.2.1 – Análise da dinâmica do paralelismo de inversores

Na Fig. 3.9 podem ser vistas as respostas das frequências (ω_1 e ω_2) e tensões de saída (E_1 e E_2) de dois inversores obtidas através do modelo matemático e da simulação do circuito eletrônico (Fig. 3.7) para R/X igual a 0,2 e um salto de fase no segundo inversor (θ_{o2}) igual a $0,5^\circ$ no instante de 1,5 s. Já na Fig. 3.10 são mostradas as curvas das potências ativa (P_1 e P_2) e reativa (Q_1 e Q_2).

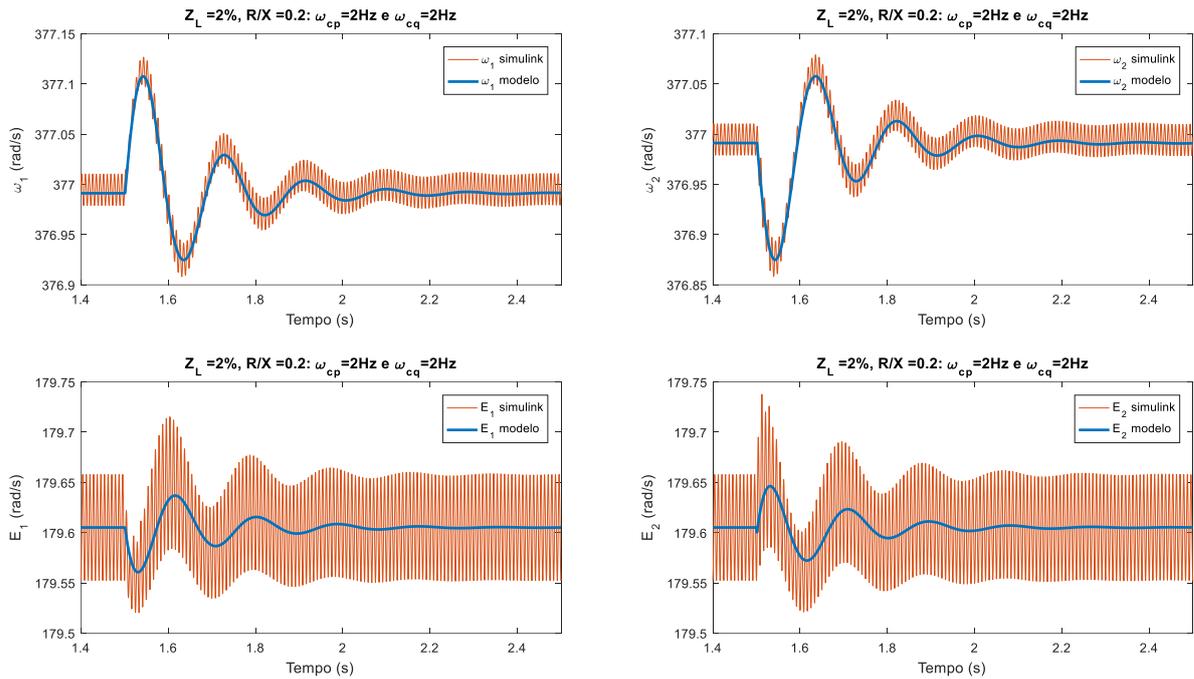


Fig. 3.9 – Dinâmicas das frequências e tensões de saída dos inversores obtidas via modelo matemático e simulação do circuito eletrônico da Fig. 3.7, correspondente ao paralelismo de dois inversores.

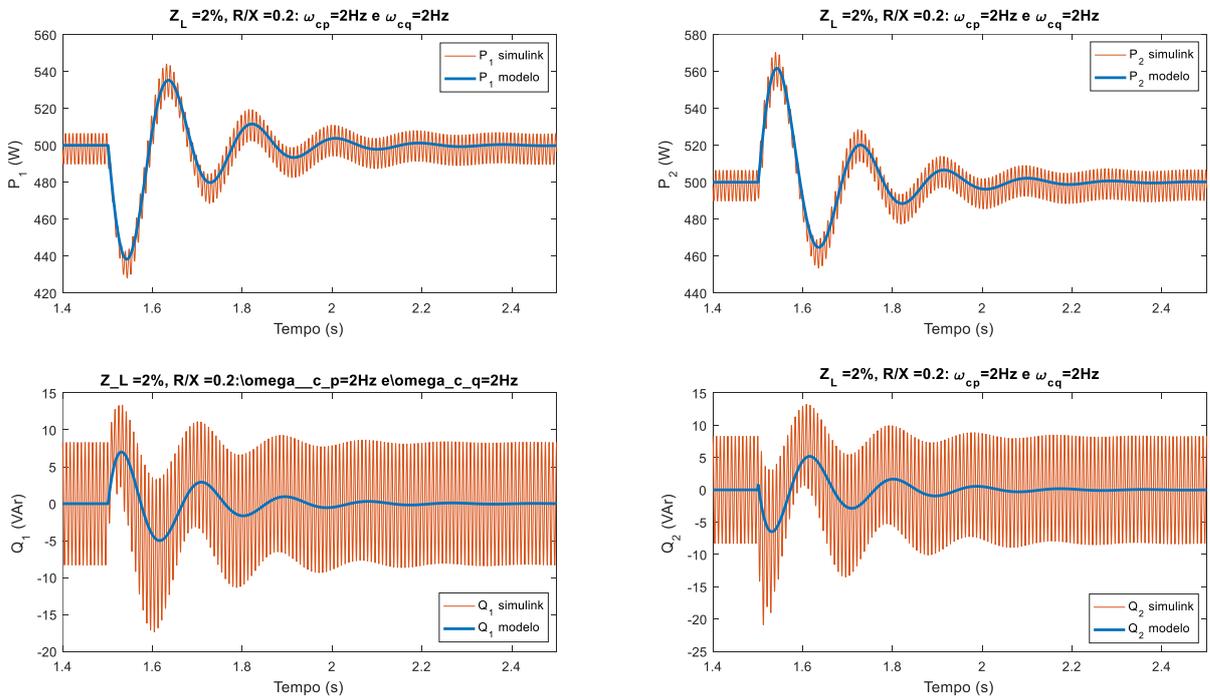


Fig. 3.10 – Dinâmicas das potências ativa e reativa dos inversores obtidas via modelo matemático e simulação do circuito eletrônico da Fig. 3.7, correspondente ao paralelismo de dois inversores.

Nas Fig. 3.9 e Fig. 3.10 pode-se verificar a concordância entre as formas de ondas obtidas para o modelo e os resultados da simulação. Além disso, as oscilações existentes nos

resultados apresentados nas simulações são devidas aos resíduos da componente de 120 Hz presente no sinal de potência instantânea, os quais não foram eliminados pelos filtros passa-baixas.

A seguir são apresentados os *root loci* do sistema composto por dois inversores configurados em paralelo, tendo R/X variando na faixa de 0,01 a 100 para diferentes magnitudes da impedância Z_L (0,5%, 1%, 2% e 5%). Os polos obtidos para este sistema podem ser vistos na Fig. 3.11.

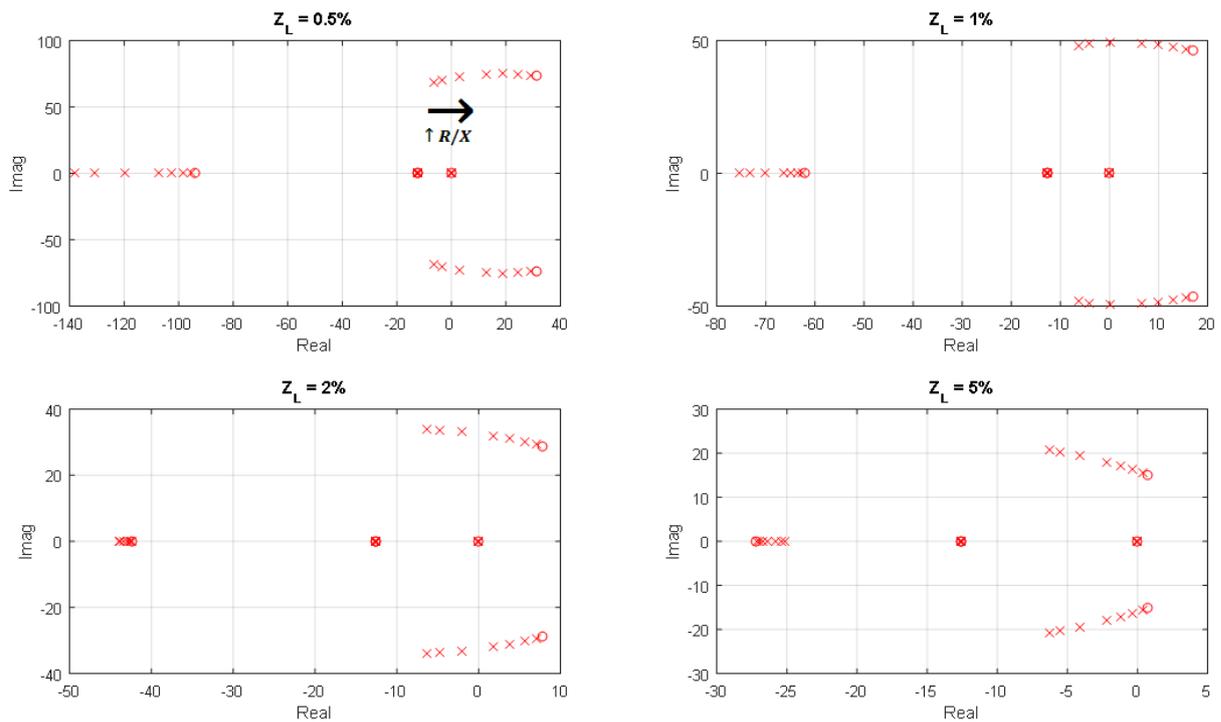


Fig. 3.11 - *Root loci* do paralelismo entre dois inversores para a variação de R/X na faixa 10^{-2} a 10^2 . Z_L (0,5%, 1%, 2% e 5%).

A partir da Fig. 3.11 pode-se observar que, à medida que a relação R/X aumenta, ocorre um deslocamento dos polos mais lentos do sistema para a direita. Esse fato promove a elevação do tempo de acomodação do sistema. Também é possível constatar que, a partir de um dado valor de R/X , o sistema pode se tornar instável. Isso acontece mais facilmente para situações onde Z_L possui valores menores.

3.3 – Aproximação do modelo de pequenos sinais do paralelismo entre inversores com o do paralelismo de um inversor com um barramento infinito

Nesta seção, são obtidos os autovalores e as dinâmicas utilizando o modelo de pequenos sinais do paralelismo de um inversor com um barramento infinito. Em seguida, estes resultados são comparados com os dados provenientes da simulação do circuito eletrônico do

paralelismo entre inversores, os quais possuem parâmetros para promover a equivalência com o paralelismo com um barramento infinito. Os procedimentos realizados são descritos a seguir.

3.3.1 - Análise dos autovalores dos paralelismos

A partir dos modelos de pequenos sinais descritos pelas expressões (3.26) e (3.42) foram calculados os autovalores de três sistemas: (a) um inversor com uma barra infinita, (b) dois inversores em paralelo e (c) três inversores em paralelo. Os cálculos dos autovalores foram realizados utilizando os dados apresentados na Tabela 3.1 e variando-se a composição R/X da impedância de conexão entre o inversor e a barra infinita (caso (a)), ou entre os inversores e o barramento de carga (casos (b) e (c)). A escolha desse parâmetro é devida à sua forte influência sobre a estabilidade do sistema [44].

Os autovalores do paralelismo de um inversor com uma barra infinita e do paralelismo entre dois inversores e entre três inversores foram obtidos para diferentes valores de R/X e estão apresentados nas Tabela 3.2, Tabela 3.3 e Tabela 3.4, respectivamente. Conforme indicam os estudos das seções anteriores, o número de autovalores de cada sistema é $3 \cdot N$, onde N é o número de inversores presentes.

Tabela 3.2 - Autovalores do paralelismo de um inversor com um barramento infinito ($Z_L = 2\%$)

	$R/X = 0,01$	$R/X = 0,5$	$R/X = 1$	$R/X = 2$	$R/X = 3$
λ_1	-6,28+33,84i	-4,75 +33,65i	-2,00+33,12i	1,85+31,93i	3,81+31,11i
λ_2	-6,28-33,84i	-4,75 -33,65i	-2,00-33,12i	1,85-31,93i	3,81-31,11i
λ_3	-43,98	-43,74	-43,35	-42,88	-42,68
	$R/X = 5$	$R/X = 10$	$R/X = 20$	$R/X = 50$	$R/X = 100$
λ_1	5,60+30,21i	7,06+29,38i	7,80+28,92i	8,25+28,62i	8,40+28,52i
λ_2	5,60-30,21i	7,06-29,38i	7,80-28,92i	8,25-28,62i	8,40-28,52i
λ_3	-42,50	-42,37	-42,31	-42,27	-42,26

Tabela 3.3 – Autovalores do paralelismo de dois inversores ($Z_L=2\%$)

	$R/X = 0,01$	$R/X = 0,5$	$R/X = 1$	$R/X = 2$	$R/X = 3$
λ_1	0	0	0	0	0
λ_2	-12,57	-12,57	-12,57	-12,57	-12,57
λ_3	-12,57	-12,57	-12,57	-12,57	-12,57
λ_4	-6,28+33,83i	-4,75+33,65i	-2,00+33,12i	1,85+31,93i	3,80+31,11i
λ_5	-6,28-33,83i	-4,75-33,65i	-2,00-33,12i	1,85-31,93i	3,80-31,11i
λ_6	-43,98	-43,74	-43,35	-42,88	-42,68
	$R/X = 5$	$R/X = 10$	$R/X = 20$	$R/X = 50$	$R/X = 100$
λ_1	0	0	0	0	0
λ_2	-12,57	-12,57	-12,57	-12,57	-12,57
λ_3	-12,57	-12,57	-12,57	-12,57	-12,57
λ_4	5,60+30,21i	7,06+29,38i	7,80+28,92i	8,25+28,62i	8,40+28,52i
λ_5	5,60-30,21i	7,06-29,38i	7,80-28,92i	8,25-28,62i	8,40-28,52i
λ_6	-42,50	-42,37	-42,31	-42,27	-42,26

Tabela 3.4 - Autovalores do paralelismo entre três inversores ($Z_L=2\%$)

	$R/X = 0,01$	$R/X = 0,5$	$R/X = 1$	$R/X = 2$	$R/X = 3$
λ_1	0	0	0	0	0
λ_2	-12,57	-12,57	-12,57	-12,57	-12,57
λ_3	-12,57	-12,57	-12,57	-12,57	-12,57
λ_4	-6,28+33,83i	-4,75+33,65i	-2,00+33,12i	1,85+31,93i	3,80+31,11i
λ_5	-6,28-33,83i	-4,75-33,65i	-2,00-33,12i	1,85-31,93i	3,80-31,11i
λ_6	-6,28+33,83i	-4,75+33,65i	-2,00+33,12i	1,85+31,93i	3,80+31,11i
λ_7	-6,28-33,83i	-4,75-33,65i	-2,00-33,12i	1,85-31,93i	3,80-31,11i
λ_8	-43,98	-43,74	-43,35	-42,88	-42,68
λ_9	-43,98	-43,74	-43,35	-42,88	-42,68
	$R/X = 5$	$R/X = 10$	$R/X = 20$	$R/X = 50$	$R/X = 100$
λ_1	0	0	0	0	0
λ_2	-12,57	-12,57	-12,57	-12,57	-12,57
λ_3	-12,57	-12,57	-12,57	-12,57	-12,57
λ_4	5,60+30,21i	7,06+29,38i	7,80+28,92i	8,25+28,62i	8,40+28,52i
λ_5	5,60-30,21i	7,06-29,38i	7,80-28,92i	8,25-28,62i	8,40-28,52i
λ_6	5,60+30,21i	7,06+29,38i	7,80+28,92i	8,25+28,62i	8,40+28,52i
λ_7	5,60-30,21i	7,06-29,38i	7,80-28,92i	8,25-28,62i	8,40-28,52i
λ_8	-42,50	-42,37	-42,31	-42,27	-42,26
λ_9	-42,50	-42,37	-42,31	-42,27	-42,26

É possível constatar que, em todos os casos calculados, os autovalores λ_1 , λ_2 e λ_3 indicados na Tabela 3.2 (paralelismo com uma barra infinita) são praticamente iguais aos autovalores λ_4 , λ_5 e λ_6 apresentados na Tabela 3.3 referente ao paralelismo de dois inversores, e também aos pares λ_4 e λ_5 , λ_6 e λ_7 , λ_8 e λ_9 mostrados Tabela 3.4 (paralelismo de três inversores). Além disso, pode-se observar que os valores de λ_1 , λ_2 e λ_3 do paralelismo de dois e três inversores são conhecidos, sendo $\lambda_1 \approx 0$ (devido à utilização de uma variável de estado redundante (3.10), (3.11)) e λ_2 e λ_3 correspondentes às frequências de corte dos filtros de medição das potências ativa e reativa, que para o caso analisado foram $\omega_{cp} = \omega_{cq} = 12,57$ rad/s (2 Hz). As simulações para mais de três inversores operando em paralelo foram realizadas e os resultados obtidos corroboraram com as conclusões do presente capítulo em relação aos autovalores (mencionados anteriormente) e dinâmicas (descritas a seguir). Desta forma, estes resultados foram omitidos.

3.3.2 – Análise das respostas dinâmicas do paralelismo de um inversor com uma barra infinita e do paralelismo entre dois inversores

Nesta seção, é realizada uma análise comparativa entre as respostas dinâmicas obtidas para o modelo matemático do paralelismo de um inversor com uma barra infinita e para a simulação do circuito eletrônico (Fig. 3.7) do paralelismo entre dois inversores. Para a simulação dos circuitos no *software* Simulink foram utilizadas fontes senoidais ideais. Os parâmetros utilizados para a realização dos estudos desenvolvidos nesta seção estão apresentados na Tabela 3.1. O valor do módulo da impedância de conexão foi fixado em 0,02 p.u. em todas as fontes e casos estudados (sistemas simétricos). Além disso, a perturbação utilizada para a simulação foi um degrau de $0,5^\circ$ na fase de uma das fontes do sistema no instante de 1,5 s. A frequência de corte escolhida para os filtros de medição (2 Hz) justifica-se pela baixa ordem do filtro e pela presença da componente de grande amplitude em 120 Hz presente no sinal de potência instantânea.

A Fig. 3.12 apresenta as respostas dinâmicas obtidas para o modelo de pequenos sinais do paralelismo com uma barra infinita sobrepostas aos resultados de simulação do circuito do paralelismo de dois inversores.

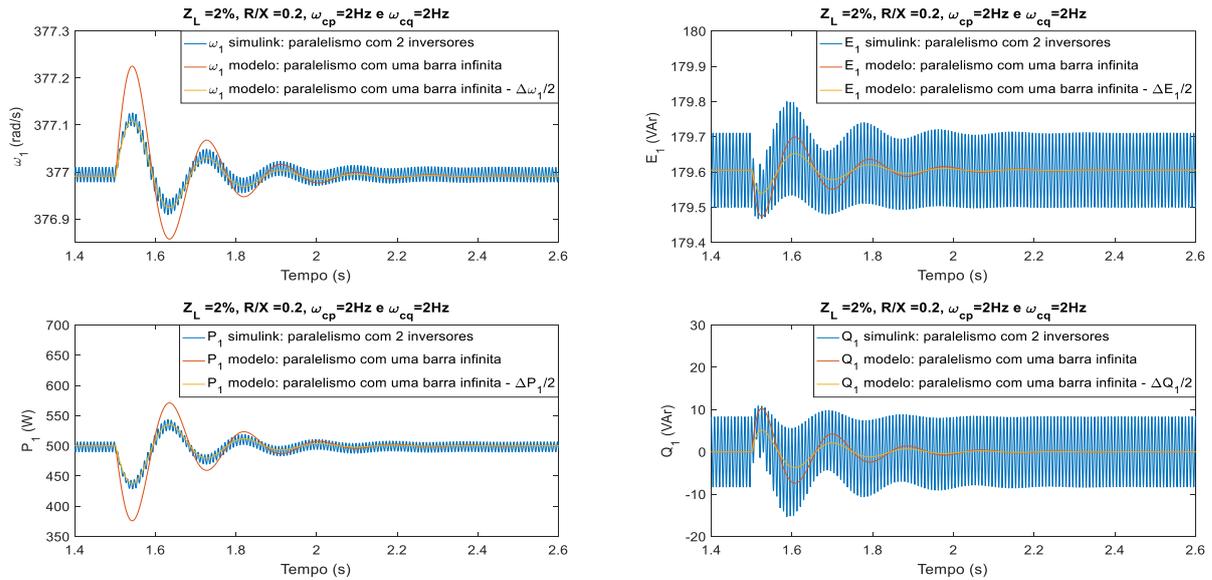


Fig. 3.12 – Respostas dinâmicas de um dado inversor obtidas para o modelo do paralelismo com uma barra infinita e simulação do circuito eletrônico (Fig. 3.7) correspondente ao paralelismo entre dois inversores. $Z_L = 2\%$.

Nessa figura são apresentadas as curvas da frequência ω_1 , tensão E_1 , potências ativa P_1 e reativa Q_1 de saída de apenas de um dos inversores. Pode-se verificar que os desvios $\Delta\omega_1$, ΔE_1 , ΔP_1 e ΔQ_1 obtidos por meio do modelo de pequenos sinais do paralelismo com a barra infinita possuem o dobro da amplitude dos desvios obtidos para a simulação do circuito do paralelismo de dois inversores, mas o mesmo amortecimento e a mesma frequência. Desta forma, ao se multiplicar os desvios obtidos por esse modelo pelo ganho $\frac{1}{2}$, passa a existir concordância entre as curvas. Esse resultado repetiu-se com fidelidade para valores de R/X de 0,01 até ≈ 2 , quando a frequência natural dos autovalores dominantes se eleva bastante, o sistema se aproxima da instabilidade e o modelo de pequenos sinais não mais representa fielmente o sistema, apesar da concordância numérica entre os autovalores da Tabela 3.2 (paralelismo com uma barra infinita) e da Tabela 3.3 (paralelismo de dois inversores).

3.3.3 – Análise das respostas dinâmicas do paralelismo de um inversor com uma barra infinita e do paralelismo entre três inversores

Nesta seção, é realizada uma comparação entre as respostas dinâmicas obtidas para o modelo matemático do paralelismo de um inversor com barramento infinito e para a simulação do circuito eletrônico (Fig. 3.7) do paralelismo entre três inversores. Para estas simulações, foram considerados os mesmos parâmetros utilizados para os estudos realizados na seção 3.2.

As respostas dinâmicas do modelo de pequenos sinais do paralelismo com uma barra infinita e da simulação do circuito do paralelismo de três inversores foram sobrepostas e apresentadas na Fig. 3.13.

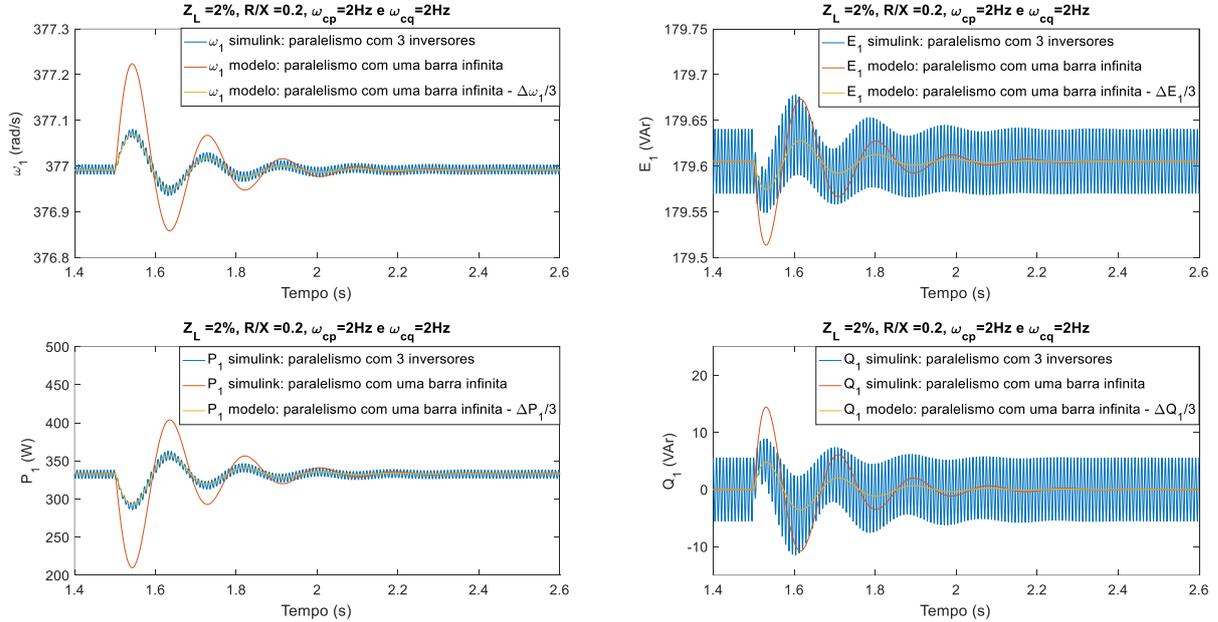


Fig. 3.13 – Respostas dinâmicas obtidas para o modelo do paralelismo com uma barra infinita e simulação do circuito eletrônico (Fig. 3.7) correspondente ao paralelismo entre três inversores. $Z_L = 2\%$.

Por meio desses resultados pôde-se observar que os desvios $\Delta\omega_1$, ΔE_1 , ΔP_1 e ΔQ_1 obtidos por meio do modelo do paralelismo com a barra infinita possuem o triplo da amplitude das curvas obtidas para a simulação do circuito correspondente ao paralelismo de três inversores, mas o mesmo amortecimento e a mesma frequência. Assim, ao se multiplicar os desvios do modelo com a barra infinita pelo ganho $\frac{1}{3}$, passa a existir concordância entre as curvas desse modelo e os resultados da simulação do circuito.

Da mesma forma que no item anterior, esse resultado repetiu-se com fidelidade para valores de R/X de 0,01 até ≈ 2 , apesar da concordância numérica entre os autovalores indicados nas tabelas desses dois sistemas.

3.4 - Conclusões

No presente capítulo foram estudados os comportamentos dinâmicos do paralelismo entre um inversor e uma barra infinita e do paralelismo entre dois inversores, ambos operando sob o método de *droop* tradicional. Para isso, foram obtidos seus modelos de pequenos sinais, válidos em torno de um ponto de operação e considerando as impedâncias

constantes. Por meio de simulações e comparações dos resultados destes modelos com as respostas obtidas de seus respectivos circuitos eletrônicos foi possível observar que os mesmos corroboraram, comprovando a validade dos mesmos.

Também foram realizadas as análises dos autovalores e das respostas dinâmicas dos paralelismos de um inversor com a barra infinita, entre dois inversores e entre três inversores, considerando controle pelo método *droop* e as mesmas impedâncias de conexão entre os inversores e do inversor com a barra infinita (sistema simétrico).

Os resultados das simulações de muitos casos mostraram, embora tenham sido apresentados aqui somente os resultados relativos a apenas um conjunto de parâmetros, que para sistemas simétricos, as amplitudes dos desvios $\Delta\omega$, ΔE , ΔP , e ΔQ do modelo de pequenos sinais do paralelismo com a barra infinita igualam-se aos desvios do paralelismo de N inversores quando multiplicados pela constante $\frac{1}{N}$.

Além disso, constatou-se que os autovalores do paralelismo de inversores são: 0 (devido a existência da variável de redundância), ω_{cp} (frequência de corte do filtro de medição da potência ativa) e ω_{cq} (frequência de corte do filtro de medição da potência reativa), e os demais autovalores são praticamente iguais aos obtidos para o paralelismo de um inversor com uma barra infinita, os quais repetem de acordo com a relação de $N-1$. Esse fato comprova que, se o controle de cada inversor for projetado para o paralelismo com uma barra infinita, o paralelismo desses mesmos inversores será estável, qualquer que seja o seu número. Assim, utilizando-se o modelo de pequenos sinais do paralelismo com a barra infinita, pode-se desenvolver o projeto e a análise do paralelismo de inversores com maior facilidade.

Capítulo 4

Melhoria da estabilidade do paralelismo sem comunicação de inversores

No presente capítulo são estudados métodos de melhoria da estabilidade do paralelismo sem comunicação de inversores. Este estudo tem como objetivo avaliar a eficácia destes métodos ao serem aplicados em sistemas compostos por inversores em paralelo.

Nas seções 4.1 e 4.2 são analisados os autovalores e os amortecimentos, respectivamente, obtidos para o paralelismo entre dois inversores ao empregar frequências diferentes nos filtros de medição da potência ativa (ω_{cp}) e reativa (ω_{cq}).

Em 4.3 é feita uma breve explicação sobre o desacoplamento parcial *Power System Stabilizer* (PSS) e apresentado o modelo de pequenos sinais para o paralelismo entre inversores com ação PSS inclusa no controle.

Na seção 4.4 é realizada a análise comparativa entre as dinâmicas obtidas por meio do modelo de pequenos sinais do paralelismo entre dois inversores operando com ação PSS e as obtidas para seu respectivo circuito eletrônico.

Em 4.5 é efetuada a análise da estabilidade do paralelismo entre inversores com ação do PSS inclusa no controle e fazendo-se uso de $\omega_{cp} \neq \omega_{cq}$. Já em 4.6 são comparadas as curvas de amortecimentos obtidos para diversos valores de frequências de cortes nos filtros de medição das potências, com $\omega_{cp} \neq \omega_{cq}$.

Por fim, em 4.7 é realizada uma análise comparativa dos amortecimentos obtidos para o paralelismo com e sem ação da PSS, considerando os valores iguais e diferentes para as frequências ω_{cp} e ω_{cq} .

4.1 - Análise dos polos para $\omega_{cp} \neq \omega_{cq}$

Nesta seção é feito um estudo sobre a influência nos polos do paralelismo entre inversores ao se utilizar $\omega_{cp} \neq \omega_{cq}$. Para este estudo foi utilizado um sistema composto pelo paralelismo de dois inversores, onde os parâmetros utilizados podem ser vistos na Tabela 3.1. As frequências ω_{cp} e ω_{cq} assumiram os valores de 2, 4 e 8 Hz, onde os resultados correspondentes às frequências $\omega_{cp} = \omega_{cq}$ foram utilizados como referência. Os polos deste sistema foram obtidos para R/X variando na faixa de 0,01 a 100 e diferentes valores de impedância de linha, as quais foram: 1% (Fig. 4.1), 2% (Fig. 4.2) e 5% (Fig. 4.3).

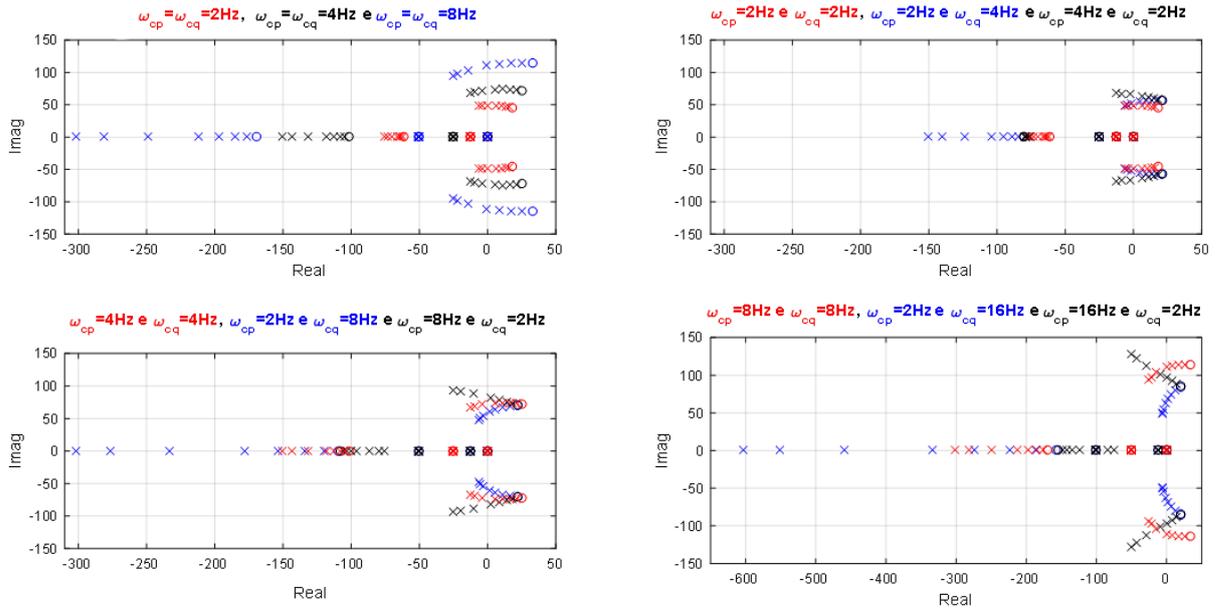


Fig. 4.1 - Root loci do paralelismo entre dois inversores para diferentes valores de ω_{cp} e ω_{cq} , R/X (10^{-2} a 10^2) e Z_L igual a 1%. Onde 'o' representa o último ponto de R/X .

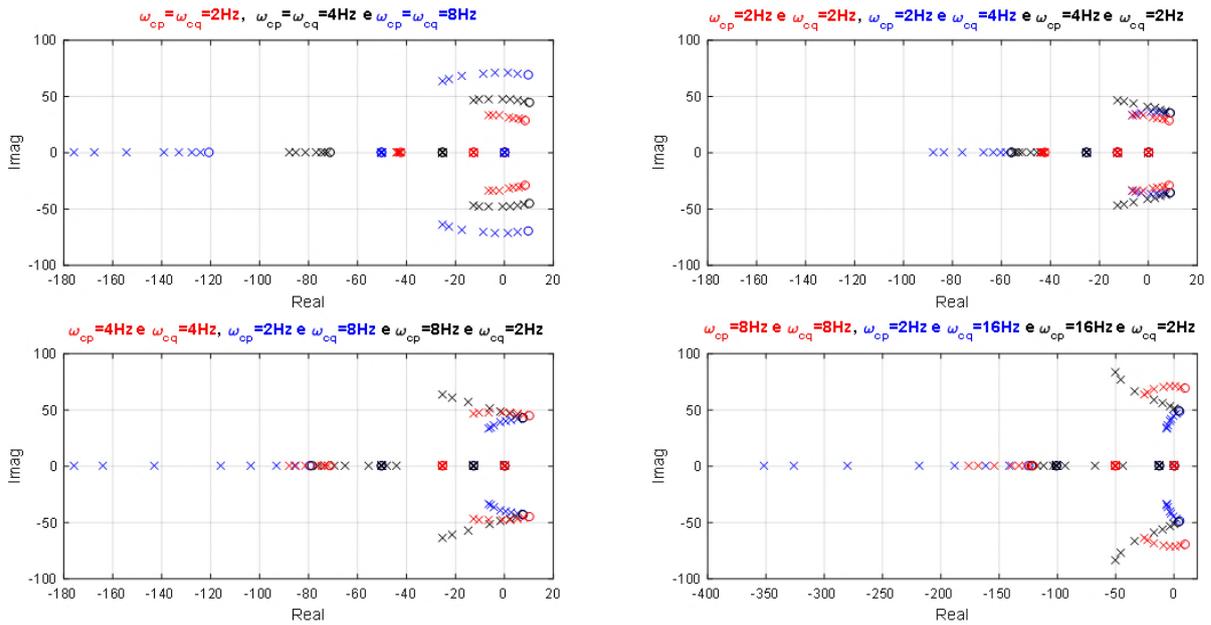


Fig. 4.2 - *Root loci* do paralelismo entre dois inversores para diferentes valores de ω_{cp} e ω_{cq} , R/X (10^{-2} a 10^2) e Z_L igual a 2%.

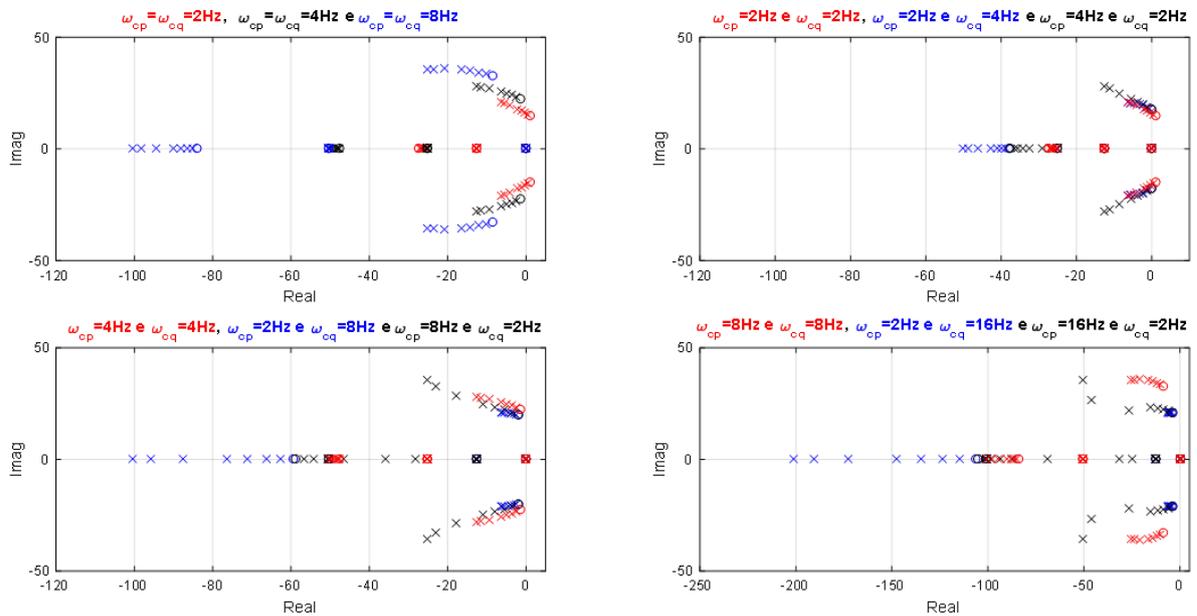


Fig. 4.3 - *Root loci* do paralelismo entre dois inversores para diferentes valores de ω_{cp} e ω_{cq} , R/X (10^{-2} a 10^2) e Z_L igual a 5%.

Nas Fig. 4.1 a Fig. 4.3 pode-se observar que os polos reais do sistema se deslocam para esquerda com o aumento da frequência ω_{cp} e para direita com o aumento de ω_{cq} . Além disso, é possível observar que o crescimento do valor de ω_{cq} proporciona um aumento da sensibilidade destes polos com a variação de R/X , enquanto que para ω_{cp} sua sensibilidade

varia pouco. É importante ressaltar que o aumento da frequência ω_{cp} ou ω_{cq} resulta na diminuição ou no aumento da parte imaginária dos polos, respectivamente, quando a linha tende a ser resistiva. Também foi observado que, para os pares de frequências $\omega_{cp1}=\omega_1$, $\omega_{cq1}=\omega_2$ e $\omega_{cp2}=\omega_2$, $\omega_{cq2}=\omega_1$, as partes reais e imaginárias dos seus respectivos polos tendem ao mesmo valor com $R \gg X$.

Outro fato que pode ser visto nos gráficos apresentados é que ao aumentar Z_L e ω_{cp} ou ω_{cq} ocorre um deslocamento dos polos para esquerda, o que aumenta a probabilidade de existir polos presentes no semi-plano negativo, e, conseqüentemente, a possibilidade do sistema ser estável. Já com o aumento somente da impedância de linha, os valores das partes imaginárias dos polos diminuem, conseqüentemente, ocorre uma redução da oscilação da resposta do sistema. Também é possível observar que o aumento desta impedância e da frequência ω_{cq} promove um comportamento semelhante ao de um sistema desacoplado parcialmente para os polos com parte imaginária, ou seja, há uma redução da influência da variação de R/X nos valores destes polos. Isso é evidenciado no caso de $Z_L=5\%$ e $\omega_{cq}=16$ Hz.

4.2 – Amortecimento para $\omega_{cp} \neq \omega_{cq}$

Nesta etapa, foi realizada uma análise do comportamento do amortecimento para o paralelismo de dois inversores ao utilizar $\omega_{cp} \neq \omega_{cq}$. Esses amortecimentos foram calculados por meio do *prompt* de comando do *software* MATLAB utilizando o comando “`damp(sys)`”, onde *sys* corresponde a função de transferência do sistema analisado. Os parâmetros utilizados podem ser vistos na Tabela 3.1, com exceção das frequências de cortes dos filtros. Essas frequências assumiram os valores de 2, 4, 8 e 16 Hz, onde as curvas de amortecimento resultantes dos pares ω_{cp} e ω_{cq} iguais a 2, 4 e 8 Hz foram utilizadas como referências. As curvas de amortecimento foram obtidas com R/X variando na faixa de 10^{-2} à 10^2 para os seguintes valores de Z_L : 1, 2 e 5%. Estas curvas podem ser vistas na Fig. 4.4.

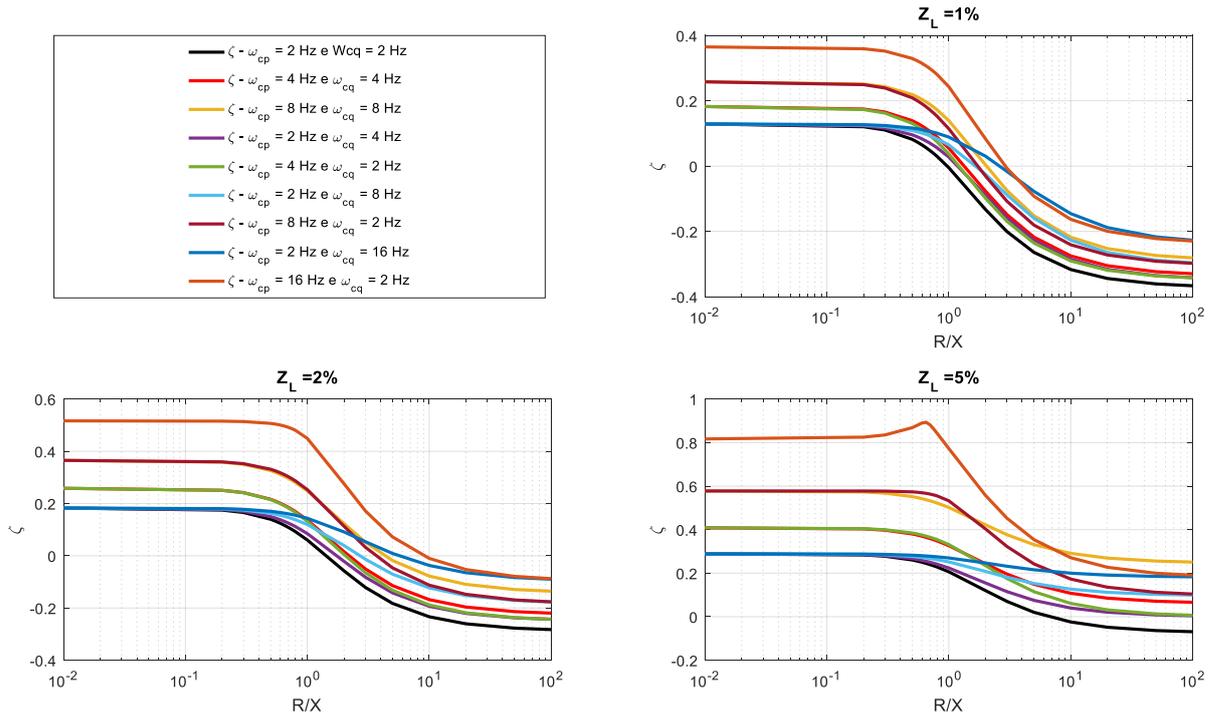


Fig. 4.4 – Amortecimento para o paralelismo de dois inversores com R/X variando na faixa 10^{-2} à 10^2 para diferentes valores de Z_L (1%, 2% e 5%) e frequências ω_{cp} e ω_{cq} .

Ao observar a Fig. 4.4 pode ser verificado que ao aumentar o valor da impedância de linha ocorre uma redução da sensibilidade do amortecimento em função da variação de R/X . Também pode ser visto que as curvas de amortecimento se deslocam para cima, ou seja, ocorre uma melhoria no amortecimento e na estabilidade do sistema. Além disso, pode ser visto na figura anterior que para todos Z_L simulados e R/X próximo de 0, os valores de amortecimentos foram crescentes com o aumento da frequência ω_{cp} . Ao analisar o gráfico referente a $Z_L=1\%$, pode-se evidenciar esse fato, sendo o maior amortecimento obtido para $\omega_{cp}=16 \text{ Hz}$ e $\omega_{cq}=2 \text{ Hz}$ ($\zeta=0,37$) e o menor para $\omega_{cp}=\omega_{cq}=2 \text{ Hz}$ ($\zeta=0,13$).

Outro fato a ser observado na Fig. 4.4 é que para ω_{cp} iguais e R/X próximo de 0, as curvas de amortecimento começam com valores semelhantes. Isso pode ser comprovado ao analisar o gráfico obtido para Z_L igual a 1%, onde pode ser visto que, para todas frequências ω_{cp} iguais a 2 Hz, os valores de amortecimento obtidos com $R/X \approx 0$ foram de aproximadamente 0,13. Esse padrão das curvas de amortecimento começarem com valores semelhantes para ω_{cp} iguais e $R/X \approx 0$ se repete para todos os valores de Z_L analisados.

Em relação aos valores obtidos do amortecimento para R/X próximos de 1, a Fig. 4.4 mostra que o melhor amortecimento foi correspondente as frequências $\omega_{cp}=16 \text{ Hz}$ e $\omega_{cq}=2 \text{ Hz}$, enquanto o menor foi obtido para $\omega_{cp}=2 \text{ Hz}$ e $\omega_{cq}=2 \text{ Hz}$.

Já ao observar os resultados com R/X próximo de 100, é possível verificar que o valor do amortecimento foi crescente com o aumento de ω_{cp} ou ω_{cq} . Desta forma, os maiores valores de amortecimento foram obtidos para $\omega_{cp}=16$ Hz e $\omega_{cq}=2$ Hz, $\omega_{cp}=2$ Hz e $\omega_{cq}=16$ Hz ($\zeta=-0,23$), enquanto o menor amortecimento foi obtido para ω_{cp} e ω_{cq} iguais a 2 Hz ($\zeta=-0,37$). Esse comportamento se manteve para Z_L igual a 1% e 2%. Porém, para Z_L igual a 5% houve uma diferença em relação às frequências correspondentes ao maior amortecimento, as quais foram $\omega_{cp}=8$ Hz e $\omega_{cq}=8$ Hz ($\zeta=0,25$). Os demais resultados de amortecimento permaneceram seguindo o padrão, ou seja, o valor obtido para o amortecimento aumentava de acordo com o crescimento das frequências ω_{cp} ou ω_{cq} . Também é possível verificar que as curvas de amortecimentos para $\omega_{cp1}=\omega_1$ e $\omega_{cq1}=\omega_2$ e $\omega_{cp2}=\omega_2$ e $\omega_{cq2}=\omega_1$ possuem valores semelhantes. Isso pode ser comprovado ao verificar o gráfico obtido para Z_L igual a 1%. Nesse gráfico pode ser observado que para as frequências $\omega_{cp}=2$ Hz e $\omega_{cq}=16$ Hz, $\omega_{cp}=16$ Hz e $\omega_{cq}=2$ Hz, as curvas de amortecimento possuíam valor de aproximadamente -0,23 para $R/X \approx 100$. Esse padrão das curvas de amortecimento possuírem valores semelhantes para $\omega_{cp1}=\omega_1$ e $\omega_{cq1}=\omega_2$, $\omega_{cp2}=\omega_2$ e $\omega_{cq2}=\omega_1$ e $R/X \approx 100$ se repete para todos os valores de Z_L analisados.

4.3 – Modelo de pequenos sinais para o paralelismo de inversores com PSS

A partir das equações (3.10) e (3.11) pode-se verificar a existência da dependência entre as potências ativa e reativa com as variáveis E e δ , o que caracteriza o acoplamento entre ambas as potências. O efeito desse acoplamento pode ser reduzido por meio do uso do desacoplamento parcial, o qual reduz a interferência de apenas uma das malhas de potência sobre a outra. Esse desacoplamento pode ser promovido utilizando o princípio denominado como *Power System Stabilizer* (PSS). Esse princípio é originalmente utilizado nos Sistemas Elétricos de Potência (SEP) para aumentar o amortecimento de oscilações de geradores síncronos [42]. A utilização do PSS permite a operação estável com menores magnitudes da impedância de conexão, reduzindo o tamanho de indutores de paralelismo, com impactos positivos sobre o peso, custo e volume dos inversores. Além disso, promove o aumento da estabilidade e do amortecimento apresentados pelo sistema [77] [45].

Na Fig. 4.5 pode ser observado o diagrama de blocos do controle do paralelismo pelo método *droop* convencional com ação do PSS. Neste diagrama pode ser visto um filtro passa-altas adicionado à ação PSS. Esse filtro garante que apenas as variações de frequências provoquem alterações na tensão de saída, pois, em regime permanente, previne que haja mudanças nesta tensão causadas pelos desvios na frequência devido à condição de carga [4].

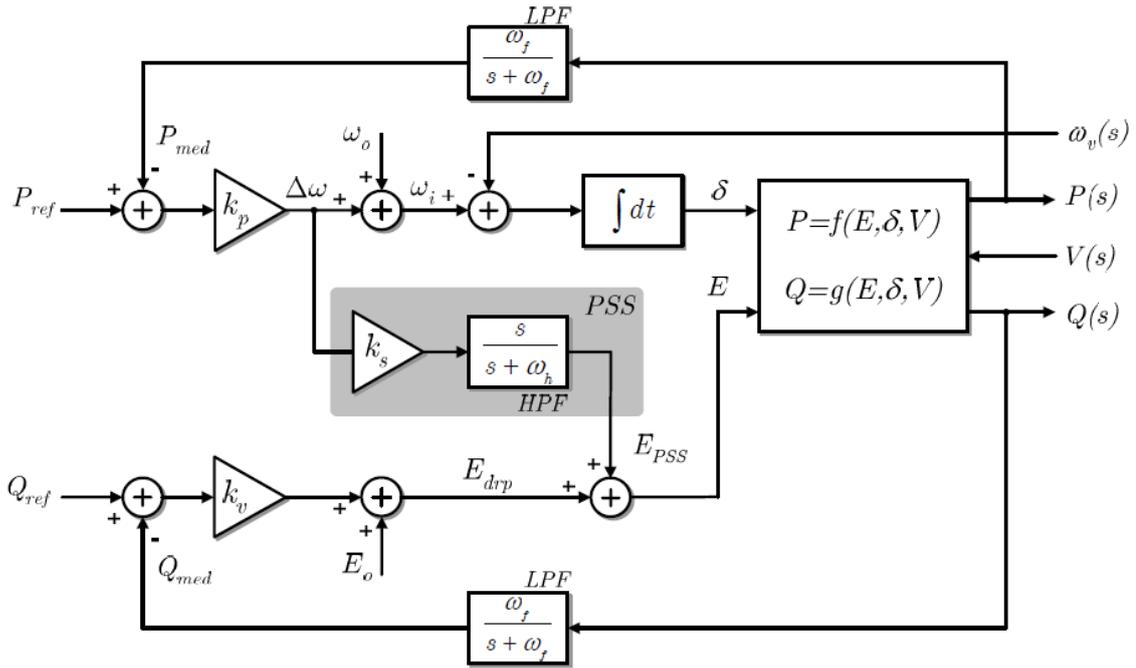


Fig. 4.5 – Controle do paralelismo pelo método *droop* convencional com ação do PSS. Fonte: [4].

O modelo de pequenos sinais de um inversor isolado para o paralelismo de inversores com ação PSS foi descrito previamente em [4]. Esse modelo é representado matematicamente em (4.1).

$$\frac{d}{dt} \begin{bmatrix} \Delta\omega_i \\ \Delta e_{di} \\ \Delta e_{qi} \\ \Delta E_i^{PSS} \end{bmatrix}_{(4x1)} = \mathbf{M}_i^{PSS} \begin{bmatrix} \Delta\omega_i \\ \Delta e_{di} \\ \Delta e_{qi} \\ \Delta E_i^{PSS} \end{bmatrix}_{(4x1)} + \mathbf{C}_i^{PSS} \begin{bmatrix} \Delta P_i \\ \Delta Q_i \end{bmatrix}_{(4x1)}, \quad (4.1)$$

Em que E^{PSS} é a saída do PSS e as matrizes \mathbf{M}_i^{PSS} e \mathbf{C}_i^{PSS} são expressas por

$$\mathbf{M}_i^{PSS} = \begin{bmatrix} -\omega_{cp} & 0 & 0 & 0 \\ n_q + m_q k_s \omega_{cp} & m_q n_d \omega_{cq} & m_q n_q \omega_{cq} & m_q (\omega_h - \omega_{cq}) \\ m_d n_q - m_q n_d & m_d n_q - m_q n_d & m_d n_q - m_q n_d & m_d n_q - m_q n_d \\ n_d + m_d k_s \omega_{cp} & m_d n_d \omega_{cq} & m_d n_q \omega_{cq} & m_d (\omega_h - \omega_{cq}) \\ m_q n_d - m_d n_q & m_q n_d - m_d n_q & m_q n_d - m_d n_q & m_q n_d - m_q n_q \\ -k_s \omega_{cp} & 0 & 0 & -\omega_h \end{bmatrix}, \quad (4.2)$$

$$\mathbf{C}_i^{PSS} = \begin{bmatrix} -k_p \omega_{cp} & 0 \\ k_s k_p \omega_{cp} m_q & k_v m_q \omega_{cq} \\ m_d n_q - m_q n_d & m_d n_q - m_q n_d \\ k_s k_p \omega_{cp} m_q & k_v m_d \omega_{cq} \\ m_q n_d - m_d n_q & m_q n_d - m_d n_q \\ -k_s k_p \omega_{cp} & 0 \end{bmatrix}, \quad (4.3)$$

sendo os ganhos de pequenos sinais m_d , m_q , n_d e n_q dados por (3.31), (3.32), (3.33) e (3.34), respectivamente.

4.4 - Análise da dinâmica do paralelismo de dois inversores com ação PSS

Nesta seção são mostrados e analisados os resultados obtidos por meio do modelo de pequenos sinais do paralelismo de inversores utilizando o método *droop* com ação PSS incluída no controle e do circuito ilustrado na Fig. 3.7. Os parâmetros utilizados nas simulações podem ser vistos na Tabela 4.1.

Tabela 4.1 – Parâmetros usados na simulação do método *droop* com ação PSS no controle

Parâmetro	Símbolo	Valor	Unidade
Tensão nominal da rede	V	127	V_{RMS}
Frequência da tensão da rede	f_0	60	Hz
Potência aparente nominal	S	1	kVA
Impedância nominal da linha	Z	0,02	p.u.
Relação R/X nominal da linha	-	10^{-2} a 10^2	-
Inclinação da reta $E-Q$	k_v	$6,4 \cdot 10^{-3}$	V_{RMS}/V_{Ar} (5%)
Inclinação da reta ω_i-P	k_p	$1,9 \cdot 10^{-3}$	rad/s.W (0,5%)
Ganho da ação PSS	k_s	10	-
Offset da reta ω_i-P	ω_o	377,9336	rad/s
Offset da reta $E-Q$	E_o	1,02	p.u.
Frequência de corte do filtro da ação PSS	ω_h	0,5	Hz
Frequência de corte dos filtros de medição	ω_{cp} e ω_{cq}	2	Hz
		12,57	rad/s

Na Fig. 4.6 podem ser observados os comportamentos das frequências ω_1 e ω_2 e das tensões de saída E_1 e E_2 de dois inversores com ação PSS obtidas utilizando o modelo matemático e a simulação do circuito eletrônico (Fig. 3.7) para R/X igual a 0,2 e um salto de fase na tensão de saída do segundo inversor (θ_{v2}) igual a $0,5^\circ$ no instante de 2,5 s. Já na Fig. 4.7 são mostradas as respostas dinâmicas das potências ativa P_1 e P_2 e reativa Q_1 e Q_2 .

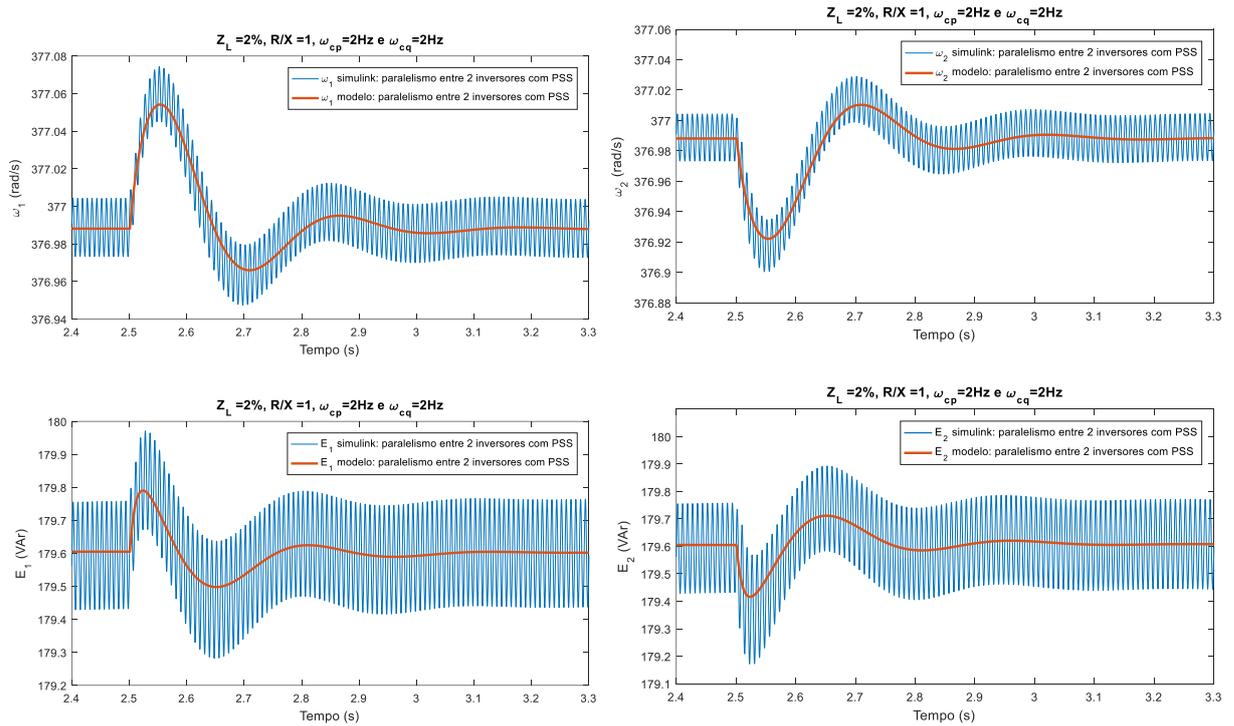


Fig. 4.6 – Respostas dinâmicas das frequências e tensões de saída dos inversores obtidas via modelo matemático e simulação do circuito eletrônico (Fig. 3.7) do paralelismo de dois inversores.

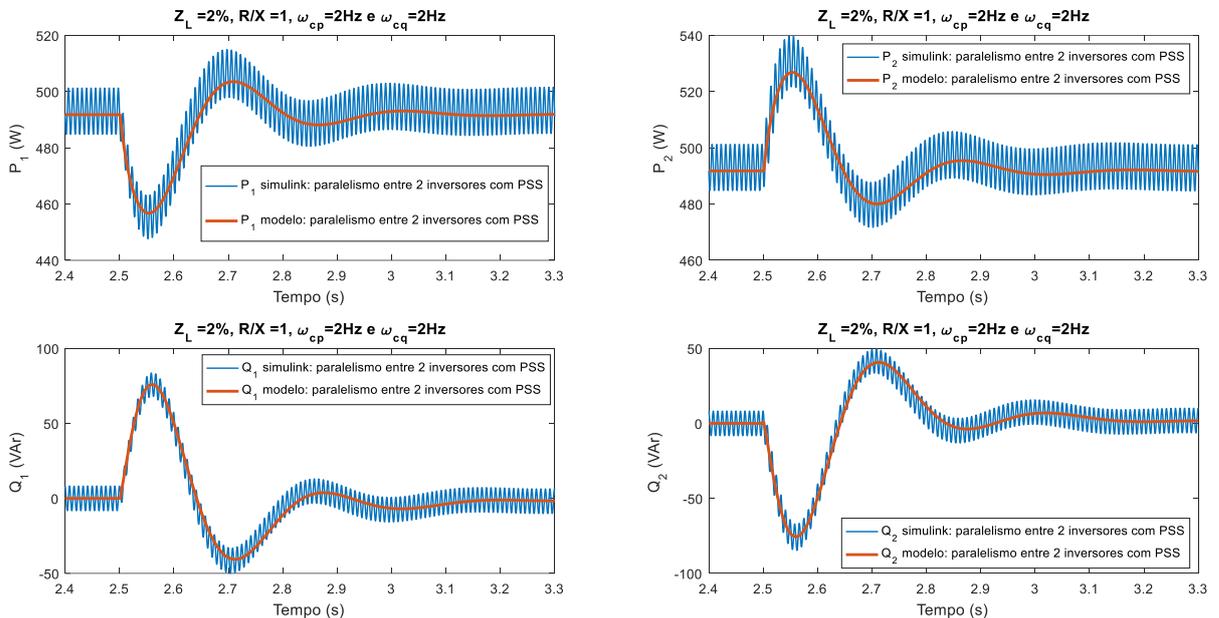


Fig. 4.7 – Respostas dinâmicas das potências ativa e reativa de saída dos inversores obtidas via modelo matemático e os resultados da simulação do circuito eletrônico do paralelismo de dois inversores.

Nas Fig. 4.6 e Fig. 4.7 pode-se verificar a concordância entre as curvas obtidas para o modelo matemático e os resultados da simulação do circuito eletrônico do paralelismo de dois inversores. Conforme foi comentado em resultados análogos apresentados

anteriormente, as oscilações existentes nos resultados das simulações são devido aos resíduos da componente de 120Hz existentes no sinal de potência instantânea.

4.5 – Análise da estabilidade com ação PSS inclusa no controlador do paralelismo de inversores e $\omega_{cp} \neq \omega_{cq}$

A análise da dinâmica no paralelismo de dois inversores foi realizada para $\omega_{cp} \neq \omega_{cq}$, juntamente com a ação da PSS incluída no controle. Neste paralelismo, o sistema teve como parâmetros os valores apresentados na Tabela 4.1.

Os gráficos com os *root loci* deste sistema foram obtidos para R/X variando na faixa de 0,01 a 100 e a impedância de linha igual a 1% (Fig. 4.8), 2% (Fig. 4.9) e 5% (Fig. 4.10). Foram atribuídos os mesmos valores de referência para as frequências ω_{cp} e ω_{cq} , quais sejam, 2, 4 e 8 Hz.

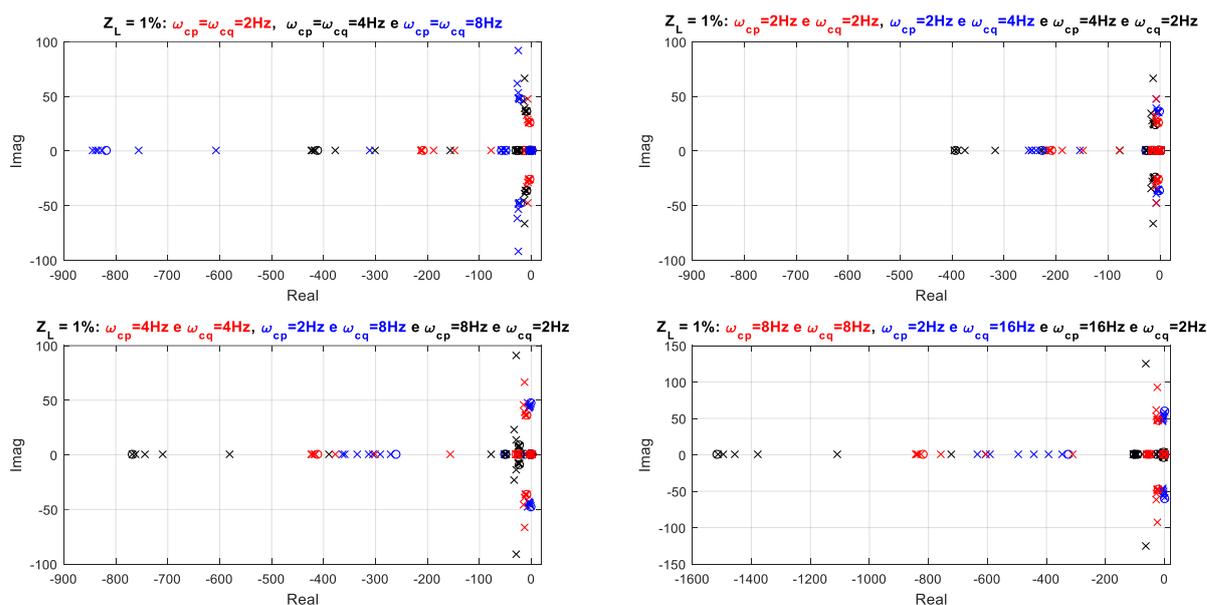


Fig. 4.8 - *Root loci* do paralelismo entre dois inversores com ação PSS e diferentes valores de ω_{cp} e ω_{cq} , R/X variando na faixa de 10^{-2} a 10^2 , $k_s=10$ e $Z_L=1\%$.

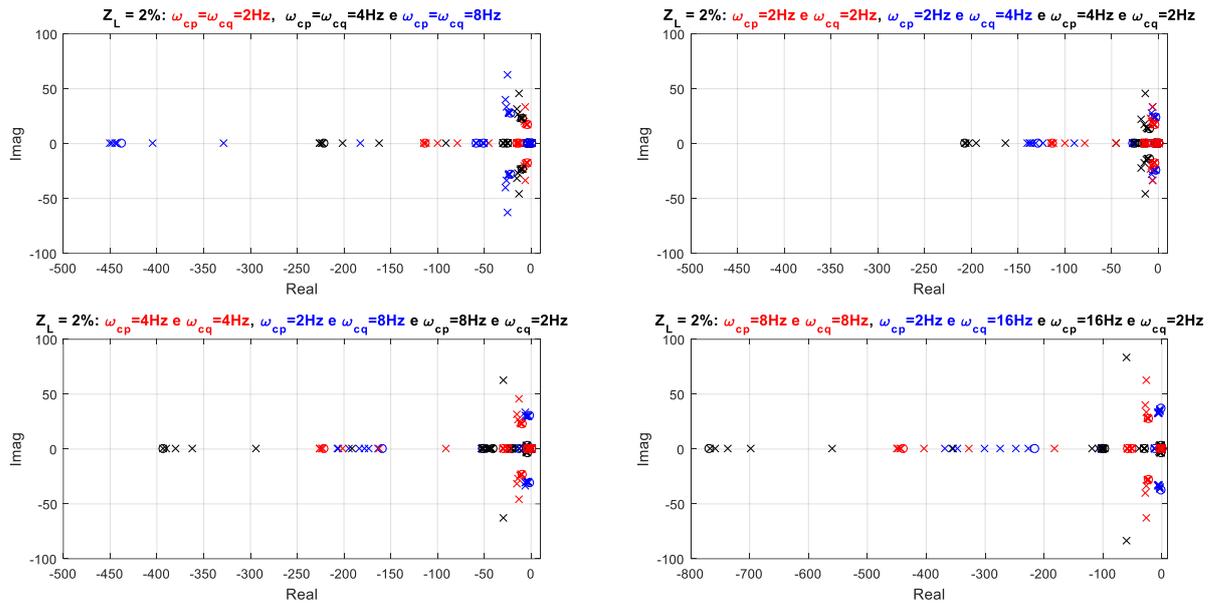


Fig. 4.9 - Root loci do paralelismo entre dois inversores com ação PSS e diferentes valores de ω_{cp} e ω_{cq} , R/X variando na faixa de 10^{-2} a 10^2 , $k_s=10$ e $Z_L=2\%$.

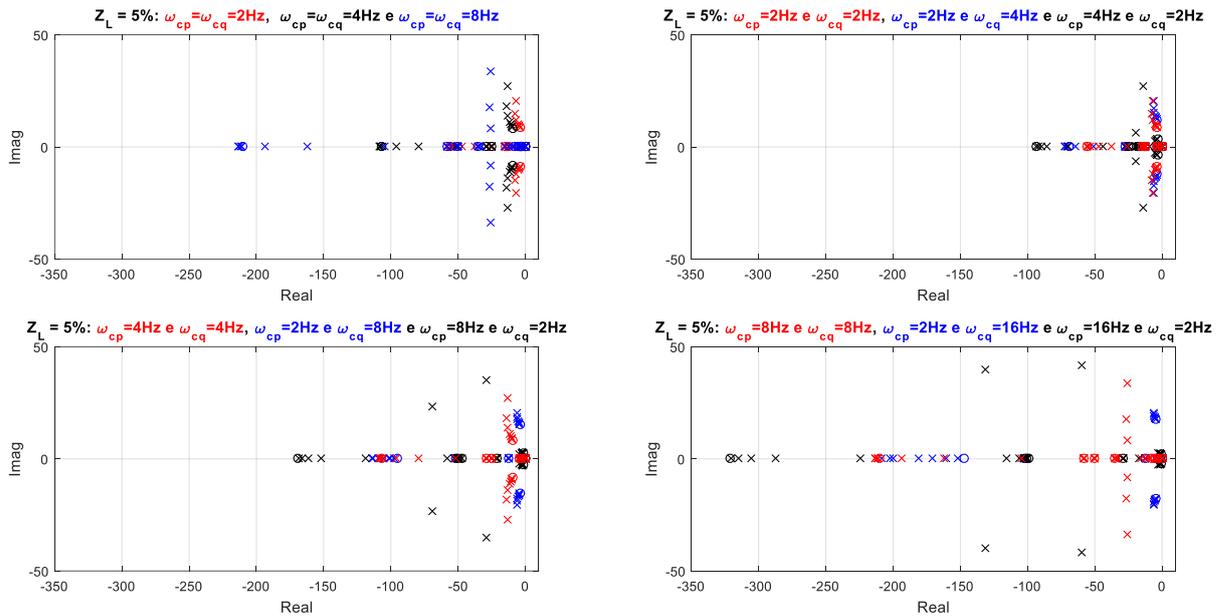


Fig. 4.10 - Root loci do paralelismo entre dois inversores com ação PSS e diferentes valores de ω_{cp} e ω_{cq} , R/X variando na faixa de 10^{-2} a 10^2 , $k_s=10$ e $Z_L=5\%$.

Nestes gráficos, é possível verificar que, devido à ação do PSS, houve uma melhoria da estabilidade em relação ao sistema que se fez uso apenas da estratégia de $\omega_{cp} \neq \omega_{cq}$ (Fig. 4.1, Fig. 4.2 e Fig. 4.3). Isso se deu porque ao aumentar a frequência ω_{cp} e R/X , o valor da parte imaginária dos polos complexos diminui, tendendo a aproximadamente zero como no caso de $\omega_{cp}=16$ Hz. Por outro lado, o aumento de ω_{cq} acarreta no crescimento dos valores da parte imaginária destes polos. Também pode-se constatar que para todos os Z_L simulados, ao

aumentar ω_{cp} e ω_{cq} a parte real dos polos complexos se desloca no sentido direito do plano complexo com o crescimento de R/X (com exceção de $Z_L=1\%$, $\omega_{cp}=8$ Hz e $\omega_{cq}=2$ Hz). Isso pode levar o sistema à instabilidade como ocorre para $Z_L=1\%$, $R/X \approx 100$, $\omega_{cp}=2$ Hz e $\omega_{cq}=16$ Hz.

Outro fato a ser ressaltado nas figuras anteriores é que, ao aumentar o valor da impedância de linha, as partes imaginárias dos polos complexos variam com maior sensibilidade com a mudança dos valores das frequências ω_{cp} e ω_{cq} .

4.6 - Amortecimento para o paralelismo de inversores com ação da PSS e $\omega_{cp} \neq \omega_{cq}$

As curvas dos amortecimentos obtidos para o paralelismo entre dois inversores com ação da PSS e $\omega_{cp} \neq \omega_{cq}$ podem ser vistas na Fig. 4.11.

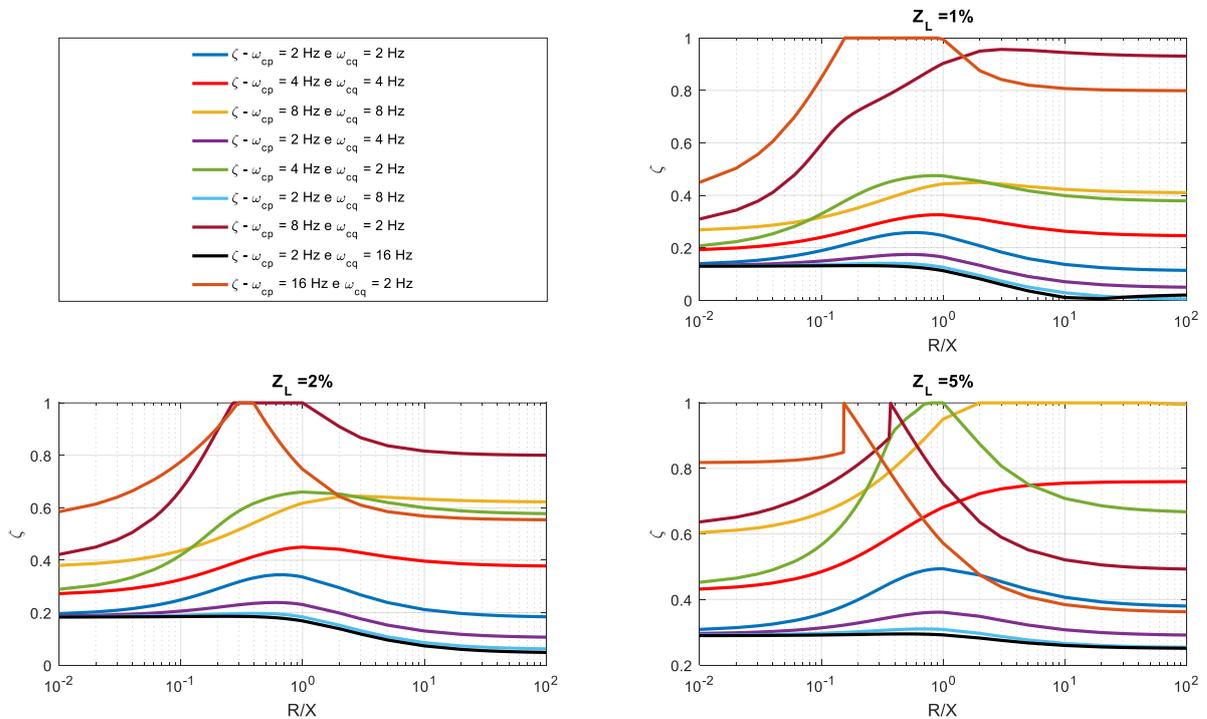


Fig. 4.11 - Amortecimento para o paralelismo de dois inversores com ação PSS incluída no controle e frequências diferentes entre ω_{cp} e ω_{cq} , com R/X variando na faixa 10^{-2} a 10^2 , $k_s=10$ e Z_L igual a 1, 2 e 5%.

Nessa figura, pode-se verificar que, para Z_L igual a 1% e 2%, os amortecimentos com frequências diferentes ($\omega_{cp} > \omega_{cq}$) apresentaram valores superiores ou, em alguns casos, próximos aos obtidos com ω_{cp} e ω_{cq} iguais, o que ocorreu em toda faixa de R/X analisada. Isso pode ser notado para as frequências $\omega_{cp}=8$ Hz e $\omega_{cq}=2$ Hz, as quais resultaram em uma curva de amortecimento com valores maiores aos correspondentes das frequências ω_{cp} e ω_{cq} iguais a 2, 4 e 8 Hz. Porém, o mesmo não ocorre para $Z_L=5\%$, pois, para $R/X > 1$, os amortecimentos

calculados para as frequências ω_{cp} e ω_{cq} iguais a 8 Hz superaram os valores calculados para as frequências onde $\omega_{cp} \neq \omega_{cq}$.

Já os menores valores de amortecimentos calculados foram obtidos fazendo-se as frequências $\omega_{cp} < \omega_{cq}$, como pode ser visto para as curvas referentes às frequências $\omega_{cp}=2$ Hz e $\omega_{cq}=16$ Hz, $\omega_{cp}=2$ Hz e $\omega_{cq}=8$ Hz. Estas curvas possuíram os menores amortecimentos que as demais para todos os valores de Z_L e R/X estudados.

Outro fato a ser observado na Fig. 4.11 é que, para o caso de $Z_L=1\%$ e $R/X \approx 0$, as curvas de amortecimento obtidas com ω_{cp} iguais apresentaram valores semelhantes. Isso pode ser constatado, por exemplo, para as frequências $\omega_{cp}=2$ Hz, onde seu valor de amortecimento foi de aproximadamente 0,14. Esse comportamento é semelhante ao apresentado na Fig. 4.4. No entanto, ao aumentar o valor de Z_L ocorre um distanciamento entre os valores iniciais das curvas de amortecimento, o que fica evidente para o caso de $Z_L=5\%$.

Por fim, na Fig. 4.11 pode-se verificar que algumas respostas apresentaram comportamento atípico. Isso pode ser visto para $Z_L=5\%$, $\omega_{cp}=16$ Hz e $\omega_{cq}=2$ Hz, onde sua respectiva curva de amortecimento aumenta seus valores repentinamente, de 0,85 a 1 para uma variação de R/X de 0,001, comportando-se como um degrau. Após isso, ao aumentar os valores de R/X , os valores dos amortecimentos passam a decair lentamente até 0,36. Este comportamento também se repetiu para as frequências $\omega_{cp}=8$ Hz e $\omega_{cq}=2$ Hz. Isso ocorre devido ao fato do uso de frequências $\omega_{cp} > \omega_{cq}$ para valores de Z_L próximos ou maiores que 5%.

4.7 – Comparação entre os amortecimentos para o paralelismo de inversores com e sem ação da PSS

Realizou-se uma análise comparativa do amortecimento exibido pelo paralelismo de dois inversores operando com e sem ação PSS inclusa no controlador. Além de uma impedância de linha $Z_L=2\%$, o sistema composto pelos dois inversores foi configurado de acordo com os parâmetros apresentados nas Tabela 3.1 (sem PSS) e Tabela 4.1 (com PSS). As frequências de corte utilizadas nos filtros de medição de potência foram iguais a 2, 4 e 8 Hz. Desta forma, as curvas dos amortecimentos obtidas podem ser vistas na Fig. 4.12.

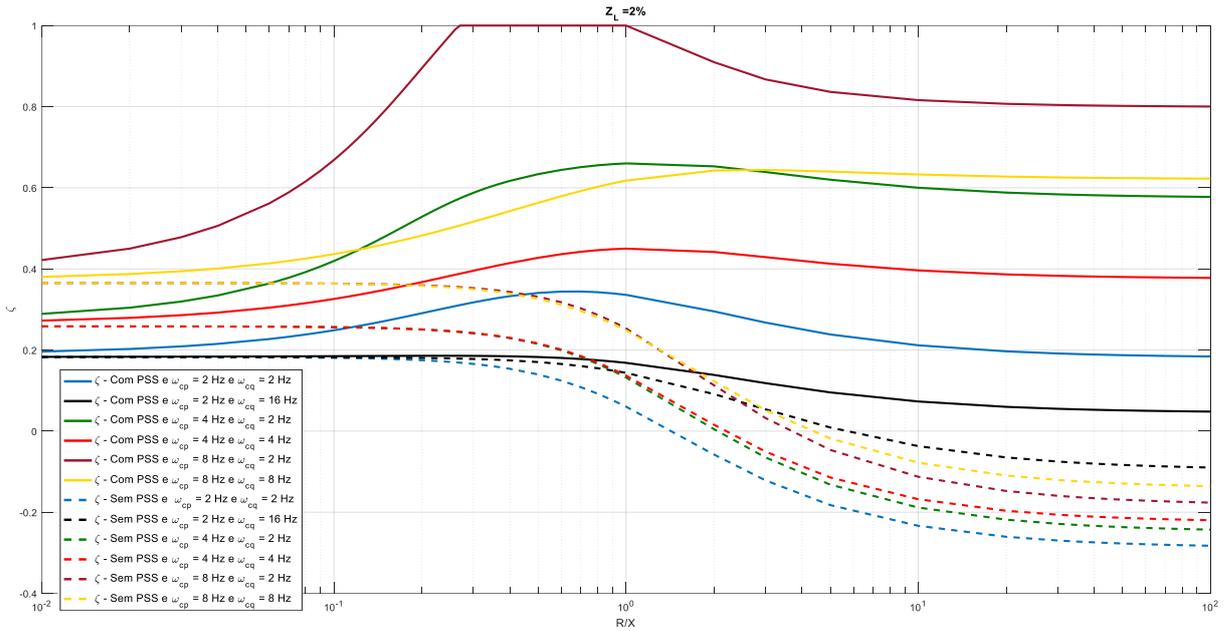


Fig. 4.12 – Amortecimento para o paralelismo de dois inversores com e sem ação PSS incluída no controle e frequências ω_{cp} e ω_{cq} iguais e diferentes, com R/X variando na faixa 10^{-2} a 10^2 , $k_s=10$ e Z_L igual a 2%.

Nessa figura é possível observar um aumento significativo nos valores dos amortecimentos obtidos quando o paralelismo de dois inversores operando com ação PSS inclusa no controle. Além disso, pode-se constatar que, devido esta ação, o sistema ficou estável para todas as frequências simuladas ao variar R/X na faixa de 10^{-2} a 10. Isso pode ser verificado uma vez que este paralelismo não apresentou amortecimentos com valores negativos, o que é característico de um sistema instável, como ocorre para os resultados obtidos no paralelismo sem ação do PSS.

Na Fig. 4.12 também pode-se constatar que a ação do PSS em conjunto com o uso de frequências de corte diferentes ($\omega_{cp} > \omega_{cq}$) apresentou amortecimentos superiores aos obtidos com aqueles configurados com frequências iguais, o que ocorreu para todos valores de R/X (10^{-2} a 10^2). Isso pode ser notado para as frequências $\omega_{cp}=4$ Hz e $\omega_{cq}=2$ Hz, as quais resultaram em uma curva de amortecimento com valores maiores aos correspondentes das frequências $\omega_{cp}=4$ Hz e $\omega_{cq}=4$ Hz, $\omega_{cp}=2$ Hz e $\omega_{cq}=2$ Hz.

4.8 – Conclusões

Neste capítulo, inicialmente, foram realizadas análises dos impactos do uso de $\omega_{cp} \neq \omega_{cq}$ no paralelismo sem ação do PSS no controle. Por meio destas análises foi possível verificar que o aumento de ambas, impedância de linha e das frequências ω_{cp} ou ω_{cq} , quando

comparadas ao par de frequências de referência, resultaram no deslocamento dos polos do sistema para a esquerda. Isso aumenta a probabilidade deste paralelismo possuir todos seus polos localizados na esquerda do plano complexo e, conseqüentemente, ser estável. Outro fato observado foi o de que o crescimento do valor de ω_{cq} resulta no aumento significativo da sensibilidade dos polos reais com a variação de R/X , porém o mesmo não ocorre com o aumento de ω_{cp} . Também foi verificado que, para os pares $\omega_{cp1}=\omega_1$ e $\omega_{cq1}=\omega_2$, $\omega_{cp2}=\omega_2$ e $\omega_{cq2}=\omega_1$, os polos tendem ao mesmo valor com $R \gg X$, ou seja, os amortecimentos obtidos a partir destes pares tendem ao mesmo valor.

Em relação aos amortecimentos, verifica-se que os valores destes para impedâncias de linhas próximas de 1% e 2%, utilizando frequências de corte diferentes nos filtros de medição das potências ativa e reativa, apresentaram valores maiores que os calculados para frequências de corte iguais. Também foi observado que as curvas de amortecimento começaram com valores próximos entre si para ω_{cp} iguais quando $R/X \approx 0$ e para todos os valores de Z_L analisados. Um comportamento semelhante ocorreu para os resultados obtidos com $R/X \approx 100$, onde as curvas de amortecimento obtidas possuíam os mesmos valores para os pares $\omega_{cp1}=\omega_1$ e $\omega_{cq1}=\omega_2$, $\omega_{cp2}=\omega_2$ e $\omega_{cq2}=\omega_1$. Isso era esperado, uma vez que os polos do sistema tenderam para o mesmo valor com o aumento de R/X .

Em seguida, foi obtido o modelo de pequenos sinais do paralelismo de inversores com PSS incluída na ação de controle. A partir deste modelo foi possível analisar os polos do sistema e comparar os amortecimentos dos paralelismos com e sem ação da PSS e $\omega_{cp} \neq \omega_{cq}$. Desta forma, foi observado que o sistema com ação do PSS possuiu amortecimentos superiores aos do sistema sem PSS, além de tornar o sistema estável para todos valores de R/X (10^{-2} a 10^2). Outro fato constatado foi que, devido à ação do PSS, os amortecimentos obtidos com frequências $\omega_{cp} > \omega_{cq}$ foram maiores aos adquiridos com $\omega_{cp} = \omega_{cq}$ para todos valores de R/X analisados e para Z_L próximos de 1% e 2%.

Outro fato observado no paralelismo com ação PSS foi que para Z_L pequenos, ω_{cp} iguais e R/X próximo de 0, as curvas de amortecimento começaram com valores próximos entre si. Porém, com o aumento de Z_L , ocorreu um distanciamento entre estes valores iniciais. Esse comportamento não se repete para $R/X \approx 100$. Além disso, pôde-se constatar que os amortecimentos com frequências diferentes ($\omega_{cp} > \omega_{cq}$) apresentaram os maiores valores para a quase todos os casos analisados de Z_L . Por fim, também foi constatado na Fig. 4.11 ($Z_L=5\%$) que algumas curvas de amortecimento possuíam comportamento atípico, onde sua resposta se assemelha à um degrau. Este comportamento é devido ao uso de frequências $\omega_{cp} > \omega_{cq}$ para valores de Z_L próximos ou maiores que 5%.

Capítulo 5

Resultados experimentais

Neste capítulo são apresentados os esquemas eletrônicos e os procedimentos utilizados para as realizações dos paralelismos de um inversor com a rede elétrica e de dois inversores. A conexão em paralelo do inversor com a rede elétrica ou com outros inversores deve ser feita com o mínimo de transientes. Desta forma, é necessário seguir procedimentos como o uso de pré-sincronização, os quais visam reduzir o impacto destes transientes. Além disso, os dois paralelismos são realizados com parâmetros que os tornam equivalentes, o que permitiu a comparação entre seus resultados. Essa comparação possui como objetivo validar os dados apresentados no Capítulo 3, que são referentes a simplificação do modelo de pequenos sinais do paralelismo de inversores.

Nesse contexto, na seção 5.1 são mostrados o esquema eletrônico do inversor e alguns de seus parâmetros e especificações. Além disso, são tratadas brevementes as estratégias de pré-sincronização, de PWM e de controle digital.

Nas seções 5.2 e 5.3 são apresentados, respectivamente, os diagramas de conexão para os paralelismos com a rede elétrica e entre inversores, bem como, os procedimentos para estas conexões.

Em 5.4 são mostrados e analisados os resultados experimentais obtidos no paralelismo de um inversor com a rede elétrica, enquanto que em 5.5 são mostrados os resultados para o paralelismo entre dois inversores.

Por fim, em 5.6 são realizadas comparações entre as dinâmicas obtidas para os paralelismos com a rede e entre 2 inversores. Estas comparações são realizadas com o intuito

de verificar e validar a possibilidade do uso do modelo de pequenos sinais do paralelismo com a rede para os estudos realizados no comportamento e estabilidade do paralelismo entre inversores.

Algumas das curvas que são apresentadas a seguir foram obtidas por meio das saídas do DSP, o que torna necessária a conversão das faixas das mesmas. Os valores das escalas são mostrados na legenda das imagens.

Os cálculos das potências reativas, para análise em regime permanente, não são realizados devido a divergência entre os valores teóricos com os obtidos nos resultados práticos. Essa diferença se deve ao fato da tensão de saída do inversor sofrer quedas devido a impedância de conexão.

5.1 - Circuito de potência

O circuito de potência do inversor, cujos parâmetros e valores nominais estão apresentados na Tabela 5.1, é mostrado na Fig. 5.1, onde r_o modela a resistência do indutor, as perdas nos interruptores de comando (transistor C33740) e a resistência de Thévenin da fonte E . O inversor utilizado foi o trifásico Powerflex 70 de 37 kW/480 V da Allen Bradley, que foi adaptado para controle através da *Multi Purpose Application Board* (MPAB) [46]. Apesar deste equipamento ser trifásico, no presente trabalho, o mesmo foi usado como monofásico por ser uma configuração de fácil execução.

Tabela 5.1. Especificações e Parâmetros do Inversor

Parâmetro	Símbolo	Valor	
Potência aparente nominal	S	1,0	kVA
Tensão nominal de saída	V_{0rms}	127	V _{RMS}
Frequência nominal de saída	f_o	60	Hz
Impedância base	Z	16,13	Ω
Frequência de comutação	f_{pwm}	15360	Hz
Indutância de filtro	L_o	500 μ	H (0,01 pu)
Resistência série equivalente do filtro	r_o	0,5	Ω (0,03 pu)
Capacitância de filtro	C_o	45 μ	F (3,66 pu)
Corrente eficaz no capacitor	I_c	2,12	A _{rms} (0,27 pu)
Frequência de ressonância do filtro	f_c	1061	Hz
Tensão nominal no barramento c.c.	E	440	V

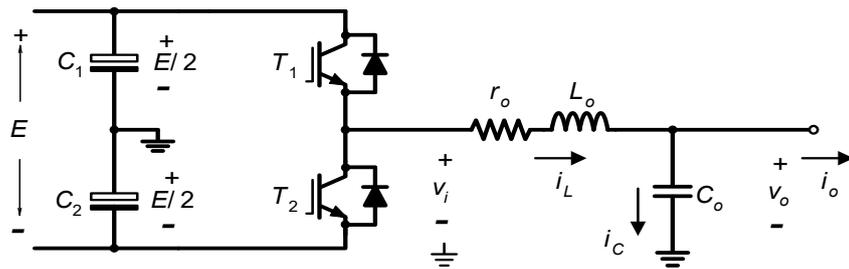


Fig. 5.1 - Inversor em meia ponte com filtro LC. Fonte: [4].

A modelagem do circuito de potência da Fig. 5.1, bem como, as de suas malhas de controle são descritas em [4]. Esta modelagem não é tratada no presente trabalho devido a impedância de saída estimada do inversor (0,03%) ser muito inferior à impedância estimada da rede elétrica (4,6%). Desta forma, o inversor possui baixa influência nas características da linha, podendo ser desprezado, o que justifica não ser necessária a validação do modelo deste equipamento. Os procedimentos para estimar estas impedâncias são mostrados no APÊNDICE A. Além disso, o projeto do filtro LC mostrado na Fig. 5.1 é apresentado no APÊNDICE B.

Em relação à conexão da UPS ao barramento, é necessário que a mesma seja realizada com o mínimo de transientes. Desta forma, foi preciso o pré-sincronismo entre as tensões de saída desta UPS e do barramento, o que foi realizado por meio de uma *Phase Locked Loop* (PLL), a qual é descrita no APÊNDICE C. Já sobre a técnica de PWM empregada no presente trabalho, esta foi a de um PWM simétrico, estando decrito no APÊNDICE D.

A implementação do código de controle digital foi realizada utilizando o *kit* de desenvolvimento *Piccolo launchpad*, sendo estes visualizados no APÊNDICE E. O código completo encontra-se no APÊNDICE F. Por fim, os testes para verificação do funcionamento do inversor operando isolado da rede elétrica são apresentados no APÊNDICE G.

5.2 - Diagrama de conexão para o paralelismo com a rede

O paralelismo de um inversor com a rede elétrica foi feito de acordo com o esquema indicado na Fig. 5.2, onde a indutância L_o , resistência c.c. r_o e capacitância C_o são os parâmetros do filtro passa-baixas, enquanto L_C corresponde a indutância de carga. Como pode ser observado na figura, o inversor utilizado é trifásico, porém, no presente trabalho, o mesmo foi configurado como monofásico.

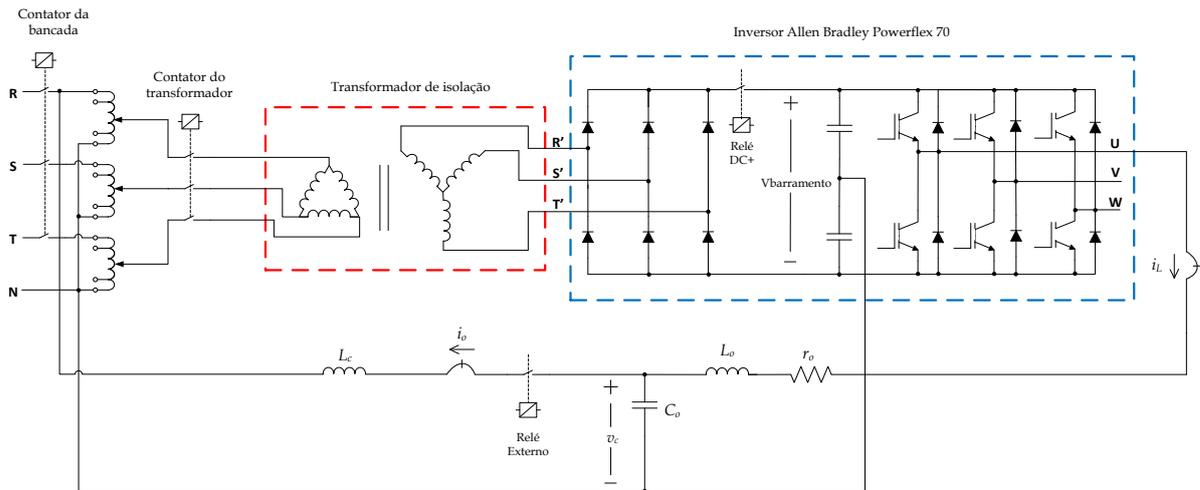


Fig. 5.2 – Paralelismo com a rede.

Os procedimentos para a conexão de um inversor em paralelo com a rede elétrica são os seguintes: Primeiramente é fechado o relé DC+, o qual é responsável pelo carregamento da tensão nos capacitores do barramento c.c., fixada em 440 V. Em seguida, são verificadas as variáveis referentes à segurança, se essas estiverem em conformidade, é efetuada a pré-sincronização, por meio de uma pll monofásica, da frequência da tensão de saída do inversor em relação a frequência da tensão da rede elétrica. Após a pré-sincronização, é enviado um comando manual para efetuar a mudança de pré-sincronização para controle via método *droop* e para fechar o relé externo, realizando o paralelismo de um inversor com a rede elétrica.

5.3 - Diagrama de conexão do paralelismo entre dois inversores

O paralelismo entre dois inversores foi realizado na configuração eletrônica mostrada na Fig. 5.3, onde a indutância L_o , resistência c.c. r_o e capacitância C_o são os parâmetros dos filtros passa-baixas, enquanto a resistência R_{rede} e indutância L_{rede} correspondem aos parâmetros estimados da rede elétrica. Já a carga é representada por R_{carga} .

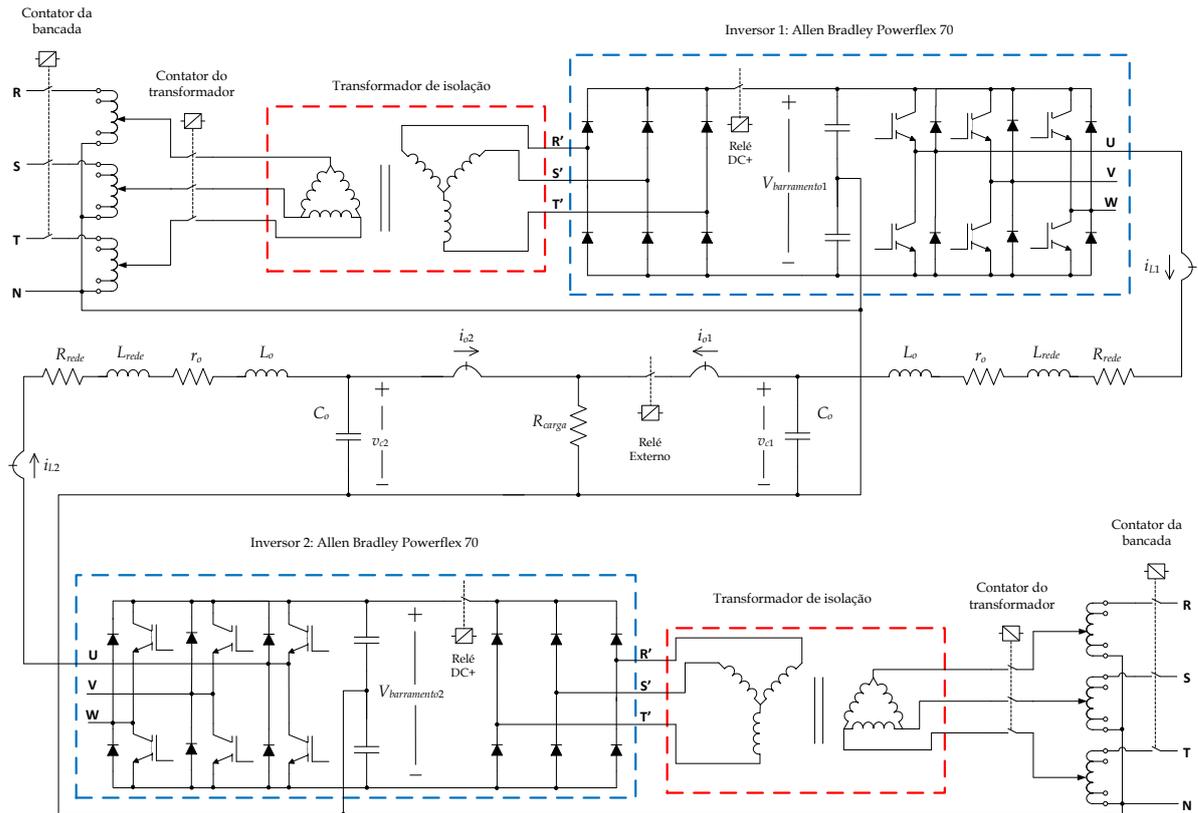


Fig. 5.3 – Paralelismo entre dois inversores.

Os procedimentos para realizar o paralelismo entre dois inversores é semelhante ao apresentado no paralelismo com a rede elétrica. No entanto, a pré-sincronização da frequência da tensão de saída do inversor 1 é efetuada em relação a frequência da tensão de saída do inversor 2. Isso porque o inversor 2 está conectado à carga, ou seja, quando o inversor 1 é conectado em paralelo, ele também é visto como uma carga pelo inversor 2.

A montagem deste paralelismo pode ser vista na Fig. 5.4, onde são mostrados os dois inversores conectados em paralelo com um banco de carga resistiva.

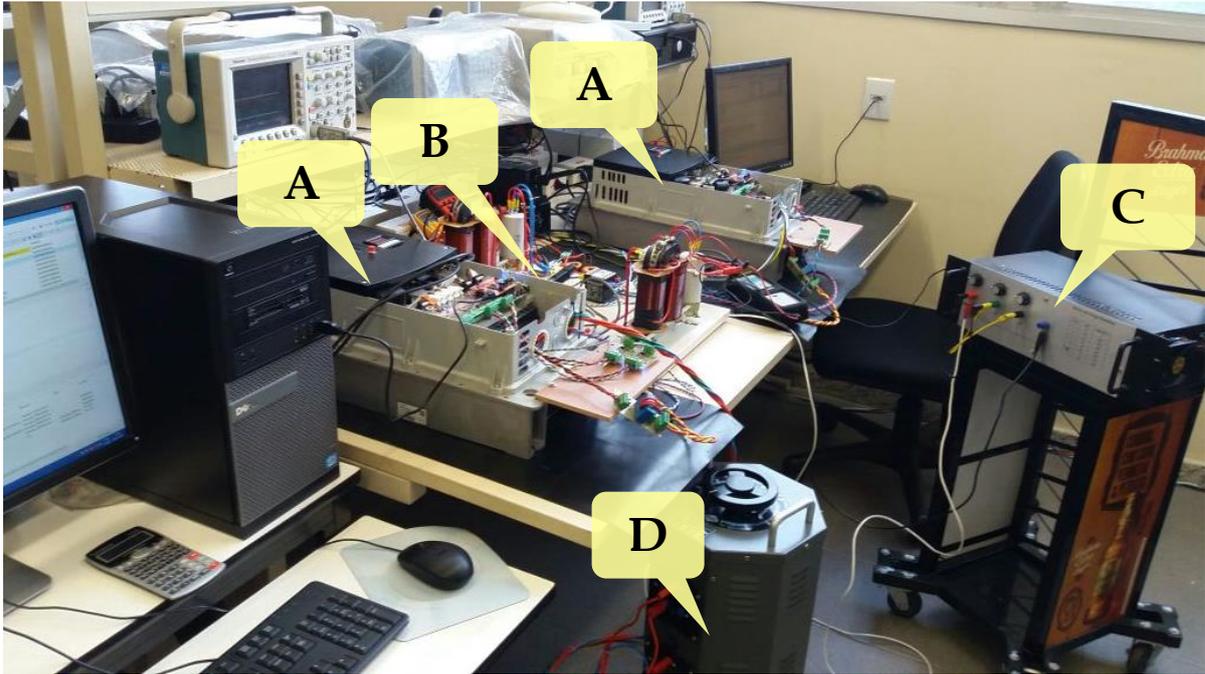


Fig. 5.4 – Montagem do paralelismo entre dois inversores. Legenda: A - Inversores Allen Bradley, B - Conexões elétricas e filtros passa-baixas, C - Banco de carga resistiva e D - Varivolt trifásico.

O módulo MPAB é mostrado na Fig. 5.5, onde são destacados o DSP TMS320F28027, as entradas dos conversores A/D, as saídas dos conversores D/A e a entrada para a tensão do barramento c.c.

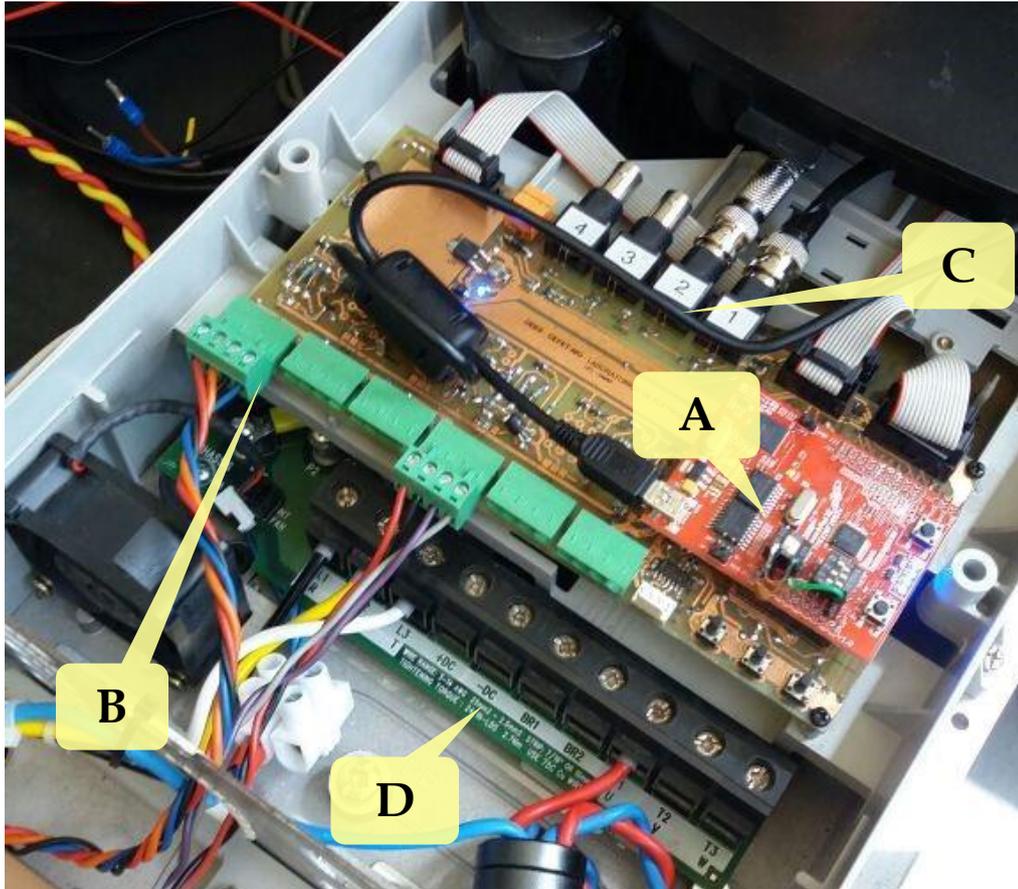


Fig. 5.5 – Módulo MPAB (*Multipurpose Application Board*). Legenda: A - DSP TMS320F28027, B - Entrada dos conversores A/D, C - Saída dos conversores D/A e D - Tensão do barramento c.c.

5.4 - Paralelismo com a rede elétrica

O paralelismo com a rede foi realizado como mostrado na Fig. 5.2 e investigado para diferentes casos de impedância de linha. Os principais parâmetros da configuração do sistema são apresentados na Tabela 5.1 e Tabela 5.2.

Tabela 5.2 – Parâmetros utilizados no paralelismo com a rede elétrica

Parâmetro	Símbolo	Valor	Unidade
Tensão nominal da rede	V	127	V_{RMS}
Frequência da tensão da rede	f_0	60	Hz
Tensão no barramento c.c.	V_{cc}	440	V
Potência aparente nominal	S	1	kVA
Inclinação da reta $E-Q$	k_v	$6,4 \cdot 10^{-3}$	V_{RMS}/V_{Ar} (5%)
Inclinação da reta ω_i-P	k_p	$1,9 \cdot 10^{-3}$	rad/s.W (0,5%)
Offset da reta ω_i-P	ω_o	377,9336	rad/s
Offset da reta $E-Q$	E_o	0.9964	p.u.
Frequência de corte dos filtros de medição	ω_{cp} e ω_{cq}	2	Hz
		12,57	rad/s

5.4.1 – Análise das dinâmicas obtidas para diferentes valores da indutância de carga

O paralelismo de um inversor com a rede elétrica foi realizado com as condições apresentadas nas Tabela 5.1 e Tabela 5.2. Para realização do mesmo, inicialmente foi acrescentado na linha um indutor de 500 μ H (resistência c.c. de 50 m Ω). A Fig. 5.6 mostra as dinâmicas da corrente de saída do inversor i_o e da potência ativa P .

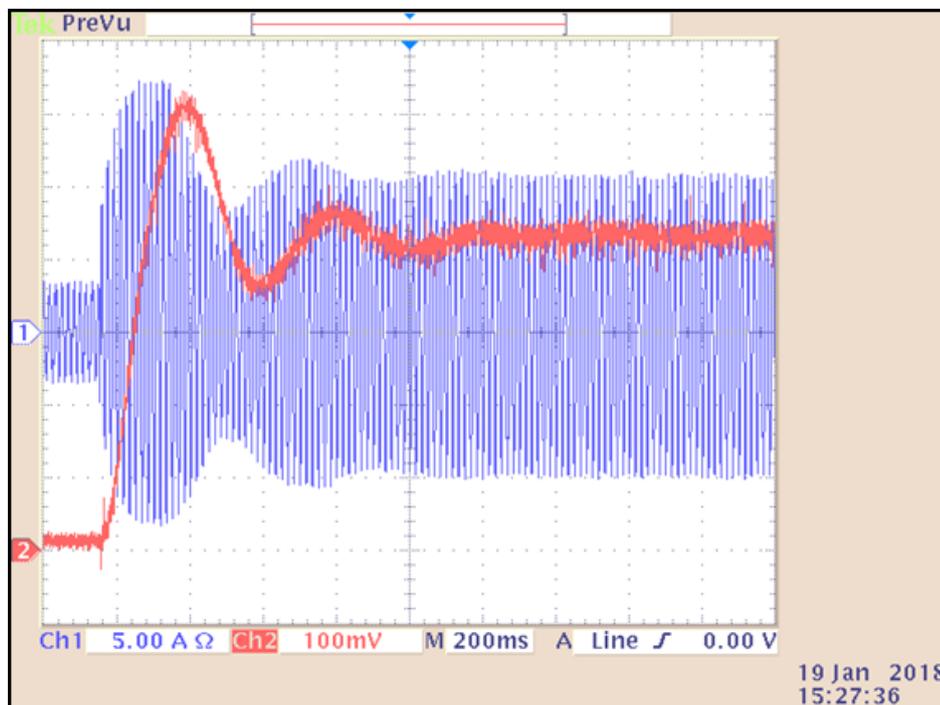


Fig. 5.6 – Dinâmica da corrente de saída do inversor (CH1) e da potência ativa (CH2). CH1:5 A/div. CH2:150 W/div.

Observa-se que a corrente i_o e a potência ativa se estabilizaram em aproximadamente 10 A de pico e 600 W, respectivamente. O valor teórico da potência ativa calculado a partir de (3.6) foi de 501,32 W. Desta forma, pode-se constatar que o inversor forneceu cerca de 100 W a mais que o esperado. Para se determinar a causa desse erro foram verificadas as frequências de PWM e da rede elétrica e valores dos componentes utilizados na montagem do sistema. Porém, as análises não foram conclusivas e investigações adicionais estão sendo desenvolvidas. O mesmo erro foi observado nos casos analisados a seguir. Entretanto, este não afetará os resultados obtidos no presente trabalho, já que deseja-se verificar o comportamento dinâmico do sistema e não seu regime permanente.

Em seguida, após a estabilização do sistema, foi realizada uma perturbação de $+2^\circ$ na fase da tensão de saída do inversor. A Fig. 5.7 ilustra o comportamento obtido para esta perturbação. Pode-se observar que após a perturbação de 2° na fase da tensão de saída do inversor o sistema se estabilizou em cerca de 1s.

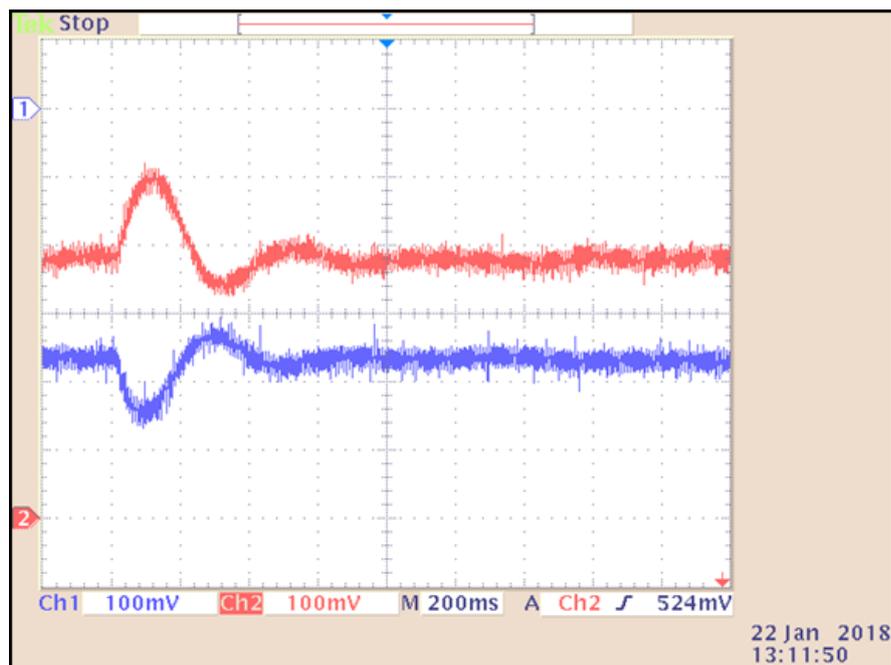


Fig. 5.7 – Potências reativa (CH1) e ativa (CH2) para uma perturbação de $+2^\circ$ na fase da tensão de saída do inversor. CH1:150 VAR/div. CH2:150 W/div. Carga: Indutor de 500 μ H.

Os resultados apresentados a seguir foram obtidos para o paralelismo de um inversor com a rede elétrica com as configurações mostradas nas Tabela 5.1, Tabela 5.2 e com um indutor acrescentado na linha com valor de 1500 μ H (resistência c.c. de 70 m Ω). A Fig. 5.8 mostra as dinâmicas obtidas para as potências Q e P .

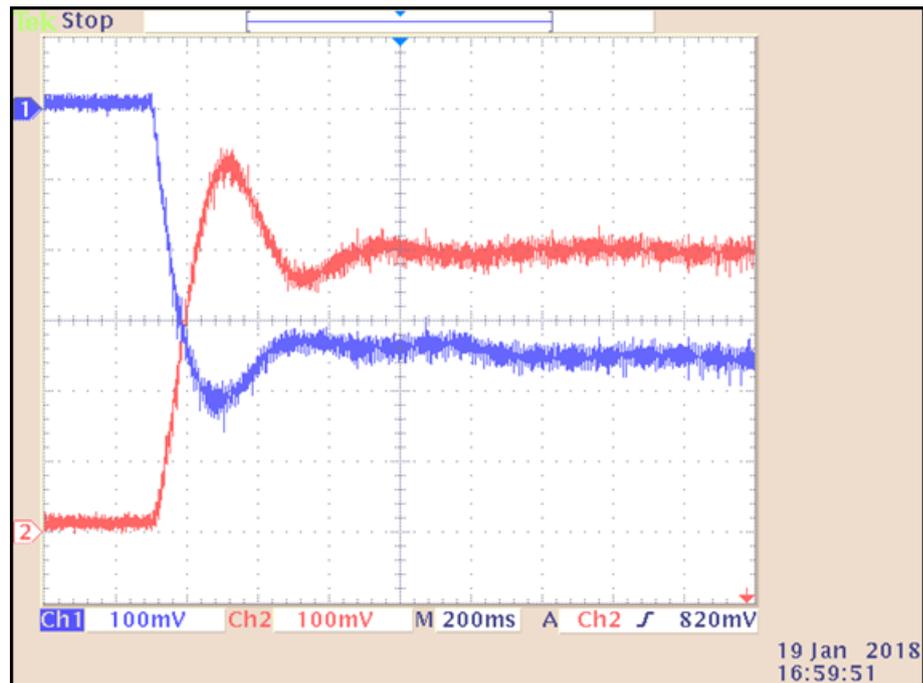


Fig. 5.8 – Dinâmica das potências reativa (CH1) e ativa (CH2). CH1:150 VAR/div. CH2:150 W/div. Carga: Indutor de 1500 μ H.

As potências Q e P , mostradas na Fig. 5.8, possuem valor de regime permanente de -525 VAR e 600 W. Já a potência ativa calculada a partir (3.6) foi igual a 501,32 W.

Depois que o sistema se estabilizou, a fase da tensão de saída do inversor foi submetida a uma perturbação de $+2^\circ$. A Fig. 5.9 mostra a resposta obtida devido à perturbação. Pode-se verificar que o sistema se estabilizou após a perturbação de 2° na fase do inversor. O tempo de acomodação foi próximo de 700 ms.

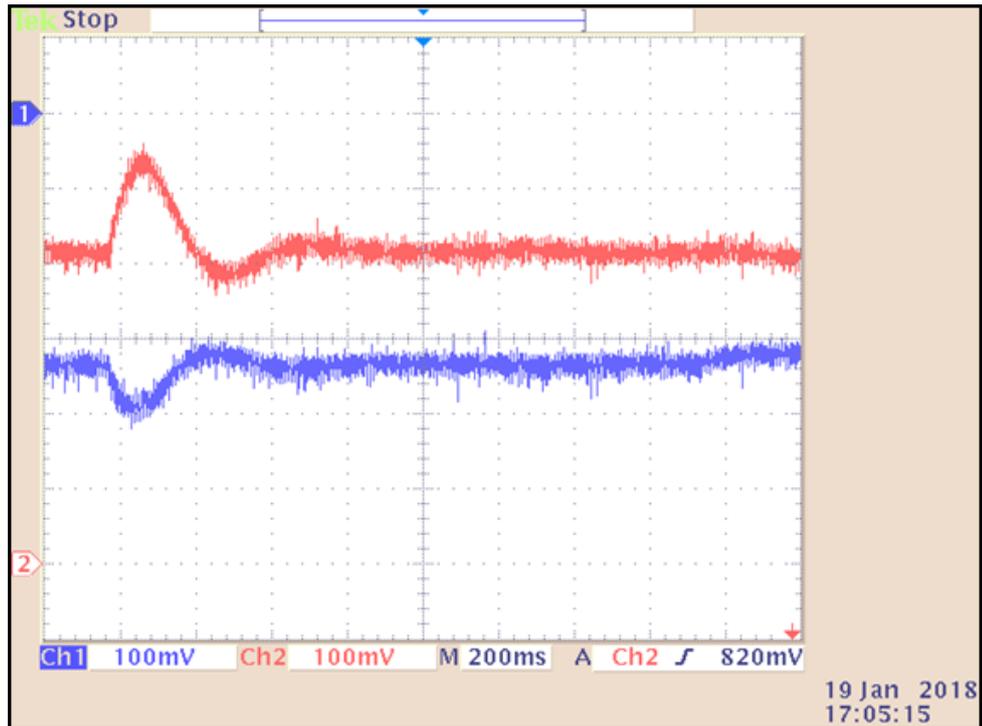


Fig. 5.9 – Potências reativa (CH1) e ativa (CH2) para uma perturbação de $+2^\circ$ na fase da tensão de saída do inversor. CH1:150 VAR/div. CH2:150 W/div. Carga: Indutor de 1500 μ H.

A partir das Fig. 5.6 à Fig. 5.9 pode-se observar que o aumento da indutância de linha tornou a resposta do sistema mais amortecido, tanto na dinâmica de partida, quanto para sua resposta à perturbação na fase da tensão de saída do inversor.

5.5 - Paralelismo entre dois inversores

Na seção 5.6 foi mostrado o método utilizado para se determinar a impedância da rede elétrica, a qual foi igual a 0,74 Ω . Assim, para se aproximar o paralelismo entre dois inversores com o paralelismo com a rede, a impedância da linha foi composta, aproximadamente, pelos valores de indutância analisados anteriormente, 500 μ H e 1500 μ H, mais a resistência equivalente à da rede elétrica. Além disso, o presente sistema foi submetido a uma carga resistiva, onde seu valor foi próximo ao nominal. Os principais parâmetros da configuração do sistema são apresentados nas Tabela 5.1 e Tabela 5.3.

Tabela 5.3 – Parâmetros utilizados no paralelismo entre 2 inversores

Parâmetro	Símbolo	Valor	Unidade
Tensão nominal da rede	V	127	V_{RMS}
Frequência da tensão da rede	f_0	60	Hz
Tensão no barramento c.c.	V_{cc}	440	V
Potência aparente nominal	S	1	kVA
Carga nominal	R_{carga}	16.13	Ω
Inclinação da reta $E-P$	k_v	$6,4 \cdot 10^{-3}$	V_{RMS}/V_{Ar} (5%)
Inclinação da reta ω_i-Q	k_p	$1,9 \cdot 10^{-3}$	rad/s.W (0,5%)
Offset da reta ω_i-Q	ω_o	377,9336	rad/s
Offset da reta $E-P$	E_o	0.9964	p.u.
Frequência de corte dos filtros de medição	ω_{cp} e ω_{cq}	2	Hz
		12,57	rad/s

5.5.1 – Composição da linha: 560 μH e 0,73 Ω

O paralelismo de dois inversores foi realizado considerando a linha composta por um indutor de 560 μH e resistência próxima de 0,73 Ω (0,66 Ω do resistor adicionado à linha + 70 m Ω da resistência c.c. do indutor), a configuração empregada pode ser vista na Fig. 5.3. Além disso, foi utilizado como carga um banco de resistores com resistência de 16,6 Ω , próxima a nominal. As dinâmicas obtidas da corrente de saída i_{o1} e tensão v_{c1} de saída do inversor 1 são apresentadas na Fig. 5.10.

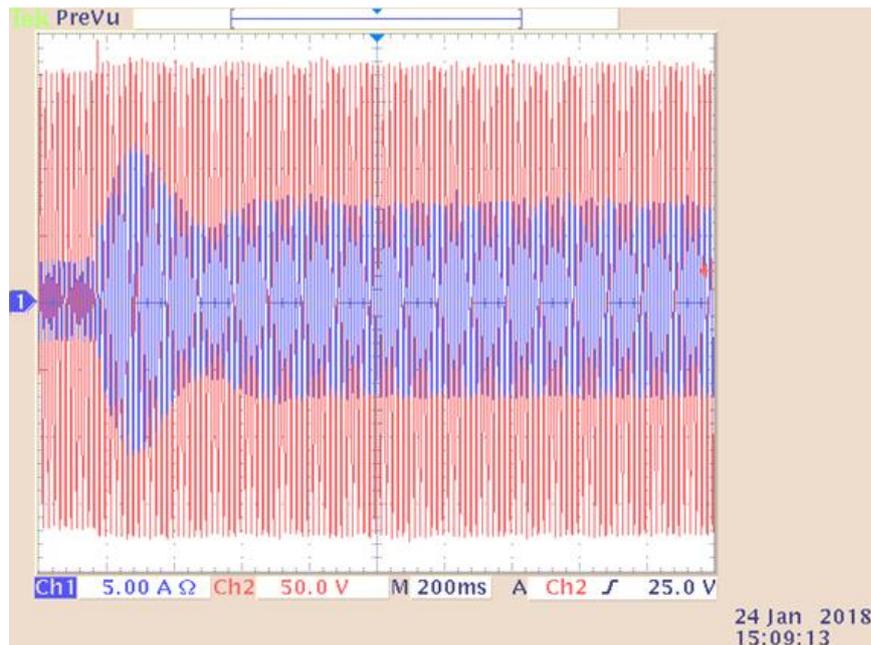


Fig. 5.10 – Inversor 1 - Dinâmica da corrente (CH1) e tensão (CH2) de saída do inversor. CH1: 5 A/div. CH2: 50 V/div. Composição da linha: Indutor de 560 μH e resistência de 0,73 Ω .

Na Fig. 5.10 é possível verificar que após a conexão com o segundo inversor, em 200 ms, a tensão v_{c1} aumentou, o que ocorreu devido à potência Q_1 ser negativa (Fig. 5.13). O valor de regime permanente da tensão de pico v_{c1} foi igual a 173 V. A corrente de saída i_{o1} também aumentou, uma vez que a corrente proveniente do inversor 2 passou a ser compartilhada com o inversor 1. O valor de regime permanente da corrente de pico i_{o1} foi de 7 A. Já as dinâmicas obtidas da corrente de saída i_{o2} e tensão v_{c2} de saída do inversor 2 são mostradas na Fig. 5.11.

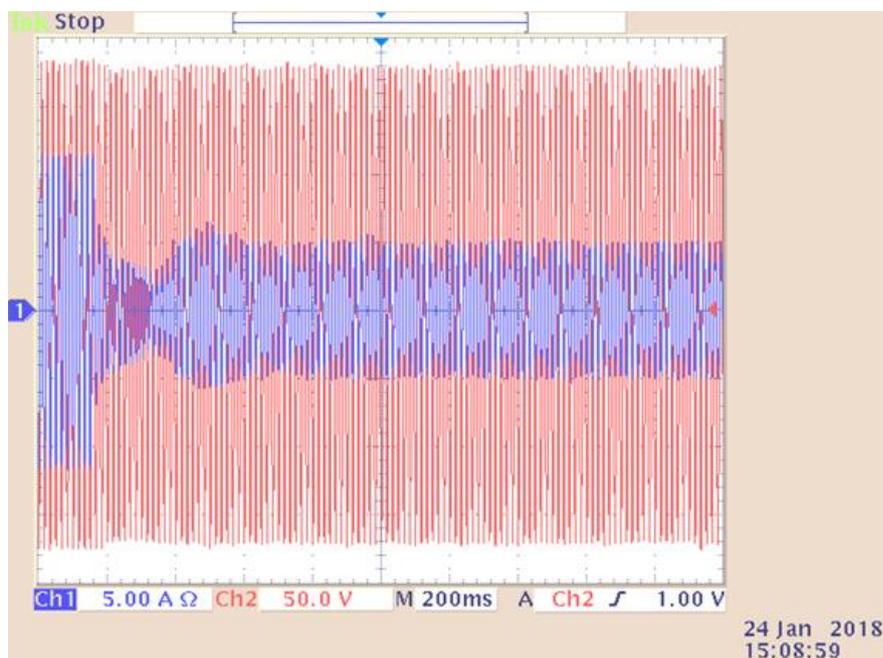
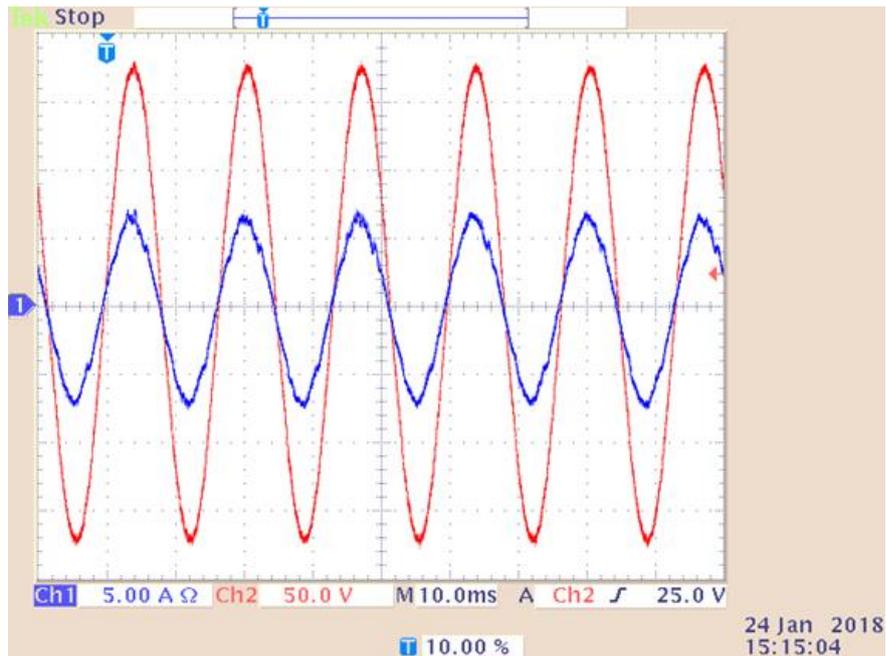
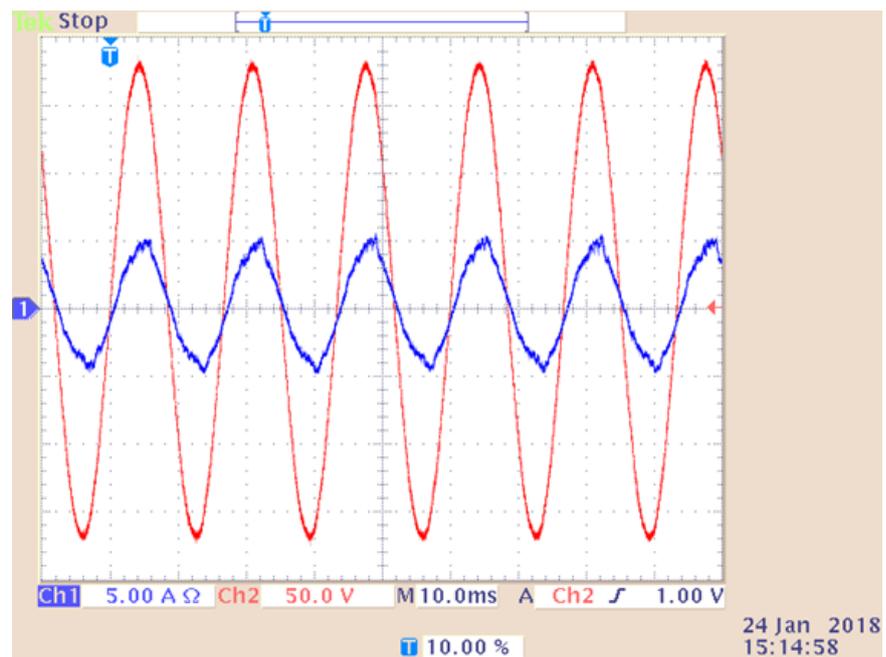


Fig. 5.11 – Inversor 2 - Dinâmica da corrente (CH1) e tensão (CH2) de saída do inversor. CH1:5 A/div. CH2:50 V/div. Composição da linha: Indutor de 560 μH e resistência de 0,73 Ω .

Na Fig. 5.11 pode-se observar que depois da conexão com o inversor 1, em 200 ms, a tensão v_{c2} reduziu devido ao fato da potência reativa Q_1 ser negativa e Q_2 positiva (Fig. 5.13). A tensão v_{c2} de pico estabilizou em cerca de 173 V. A corrente de saída i_{o2} também reduziu depois da conexão, o que ocorreu devido ao compartilhamento de corrente com o inversor 1. O valor de regime permanente da corrente de pico i_{o2} foi igual a 5 A. A Fig. 5.12 mostra as curvas de i_{o1} , v_{c1} e i_{o2} , v_{c2} após entrarem em regime permanente.



(a)



(b)

Fig. 5.12 – Regime permanente das correntes (CH1) e tensões (CH2) de saída dos inversores. CH1:5 A/div. CH2:50 V/div. Composição da linha: Indutor de 560 μ H e resistência de 0,73 Ω . Inversor 1 (a), inversor 2 (b).

A partir das Fig. 5.12 (a) e (b) pode-se verificar que ambos inversores estabilizaram com tensões de saída próximas a 123 Vrms. Em relação às correntes de saída, a do primeiro inversor estabilizou com valor de pico próximo a 7 A, enquanto que a do segundo inversor possuiu cerca de 5 A. Além disso, as correntes tiveram deformação devido à diferença de

tensão de saída entre os inversores. Já as potências ativas P_1 e P_2 e reativas Q_1 e Q_2 dos inversores podem ser vistas na Fig. 5.13.

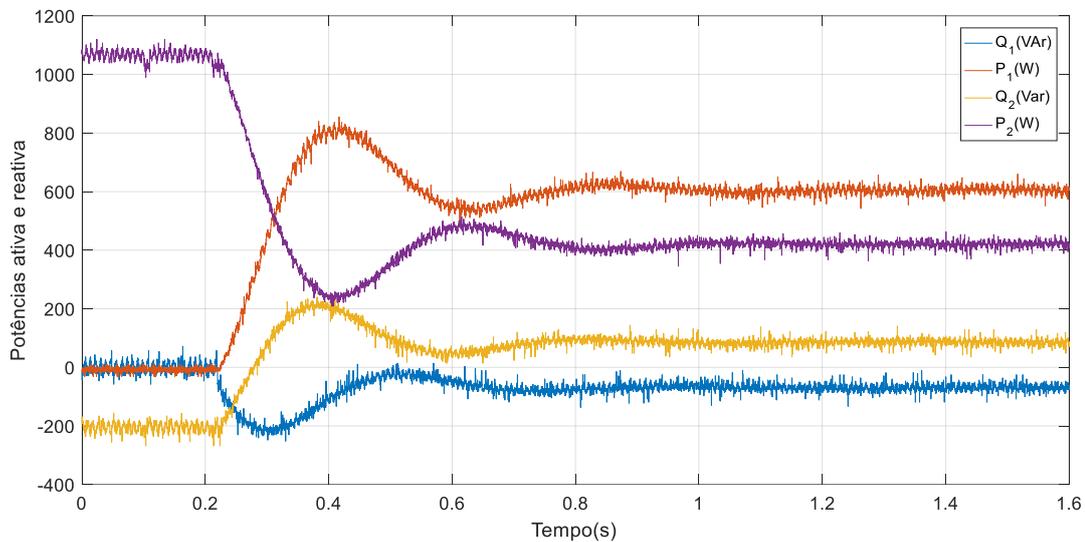
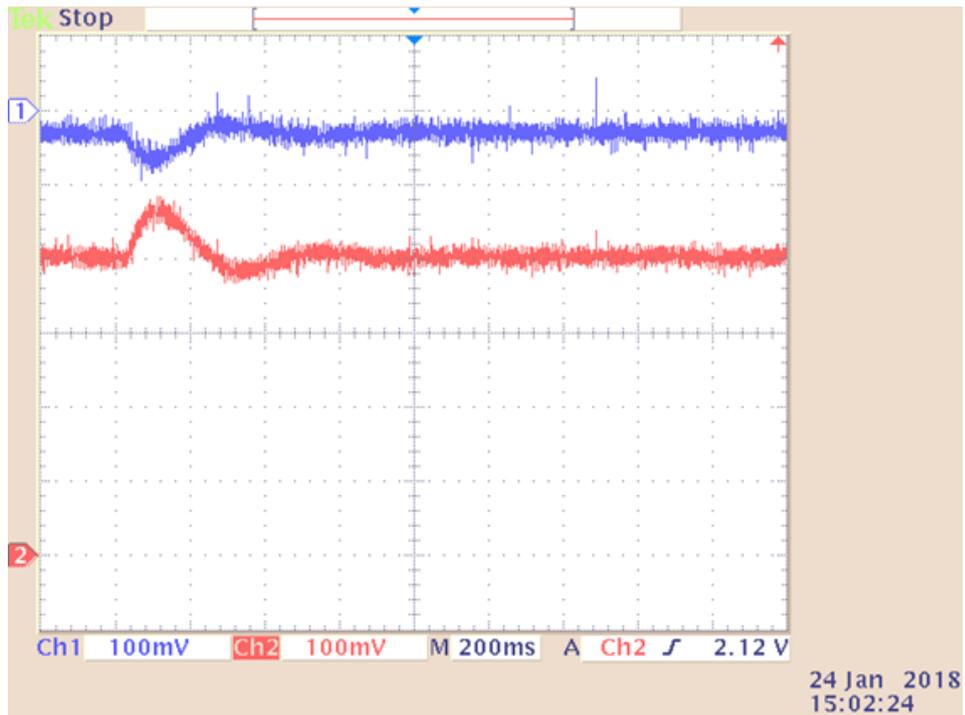


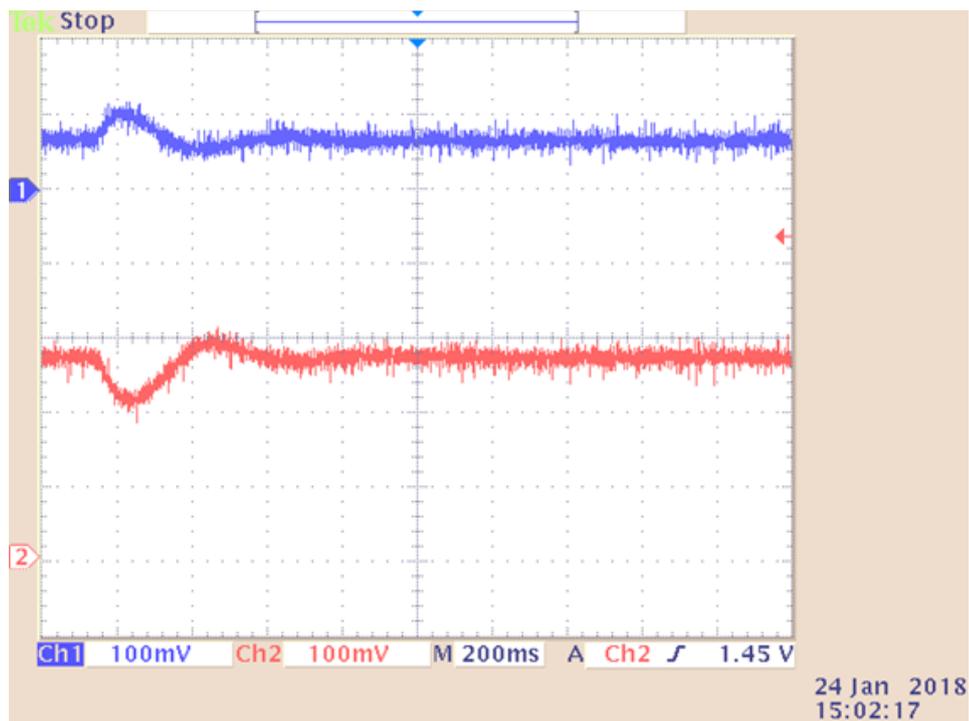
Fig. 5.13 – Potências ativas P_1 e P_2 e reativas Q_1 e Q_2 . Composição da linha: Indutor de $560 \mu\text{H}$ e resistência de $0,73 \Omega$.

A Fig. 5.13 mostra as dinâmicas das potências ativas e reativas dos inversores, os quais foram conectados em paralelo no instante próximo de 200 ms. Pode-se verificar que a potência P_2 começa em cerca de 1050 W, enquanto que P_1 possui valor de 0 W. Entretanto, depois do paralelismo ser efetuado, a potência ativa é dividida entre as unidades, sendo obtidos $P_1=600 \text{ W}$ e $P_2=400 \text{ W}$. Analisando estes dados é possível propor que a não obtenção dos valores desejados das potências ativas pode estar relacionada, ao menos em parte, com a diferença observada das correntes de saída entre os inversores (2 A). Em relação às potências reativas, é possível observar que as potências Q_1 e Q_2 possuem valores iniciais próximas de 0 VAR e -200 VAR, respectivamente. Porém, após a conexão em paralelo, Q_1 e Q_2 passam a ser compartilhados entre os inversores e entram em regime permanente com valor próximo de -100 VAR. Isso ocorre devido ao inversor 1 comportar-se como carga em relação ao inversor 2, ou seja, ele fornece potência reativa para suprir as indutâncias presentes nas linhas de ambos inversores.

Após as potências ativas e reativas dos inversores estabilizarem, a fase da tensão de saída do inversor 1 foi perturbada por um degrau de $+2^\circ$. Os resultados obtidos podem ser vistos na Fig. 5.14.



(a)



(b)

Fig. 5.14 – Potências reativa (CH1) e ativa (CH2) para uma perturbação de $+2^\circ$ na fase da tensão de saída do inversor 1. CH1:150 VAR/div. CH2:150 W/div. Composição da linha: Indutor de 560 μ H e resistência de 0,73 Ω .

A partir da Fig. 5.14 é possível verificar que o sistema conseguiu rejeitar a perturbação imposta na fase da tensão de saída do inversor 1. O tempo de acomodação foi próximo de 900 ms.

5.5.1 – Composição da linha: 1500 μH e 0,81 Ω

Nesta seção o paralelismo de dois inversores foi feito com a impedância da linha composta por uma indutância de 1500 μH e resistência de 0,81 Ω (0,74 Ω da resistência adicionada a linha + 70 m Ω da resistência c.c. do indutor), onde a configuração do sistema é mostrada na Fig. 5.3. As dinâmicas obtidas da corrente de saída i_{o1} e tensão v_{c1} de saída do inversor 1 são apresentadas na Fig. 5.15.

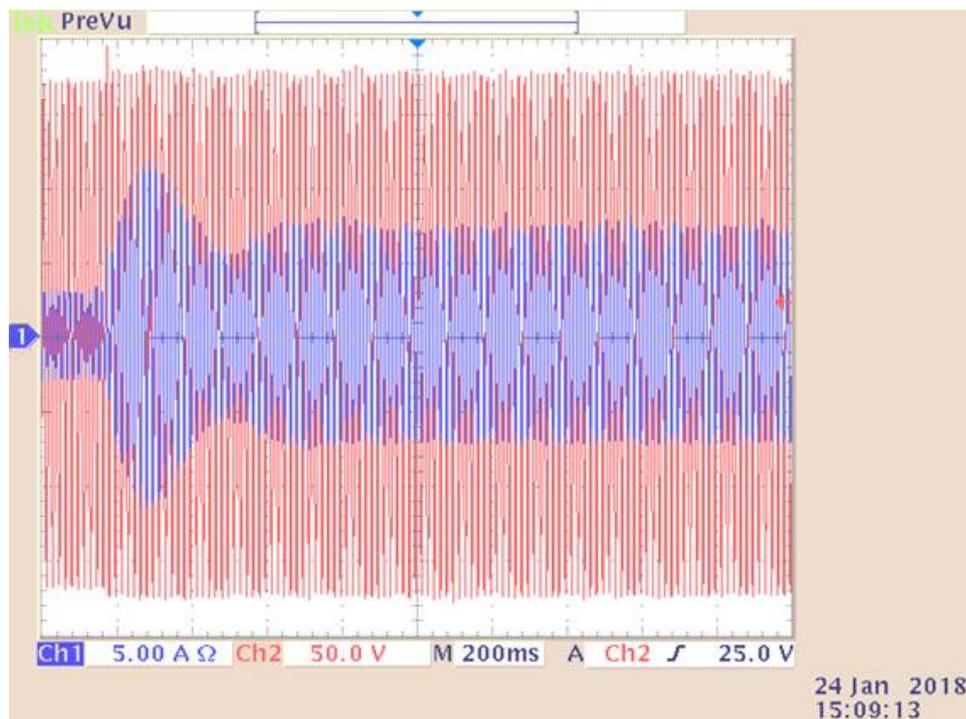


Fig. 5.15 – Inversor 1 - Dinâmica da corrente (CH1) e tensão (CH2) de saída do inversor. CH1:5 A/div. CH2:50 V/div. Composição da linha: Indutor de 1500 μH e resistência de 0,81 Ω .

Na Fig. 5.15 é possível observar que depois da conexão com o inversor 2, em 200 ms, a tensão v_{c1} aumentou devido a potência reativa Q_1 ser negativa e Q_2 positiva, como pode ser visto na Fig. 5.18. A tensão v_{c1} de pico de regime permanente foi de 173 V. A corrente de saída i_{o1} também aumentou depois da conexão devido ao compartilhamento da corrente proveniente do inversor 2. O valor de regime permanente da corrente de pico i_{o1} foi igual a 7 A. Em relação a corrente de saída i_{o2} e tensão v_{c2} de saída do inversor 2, as mesmas são mostradas na Fig. 5.16.

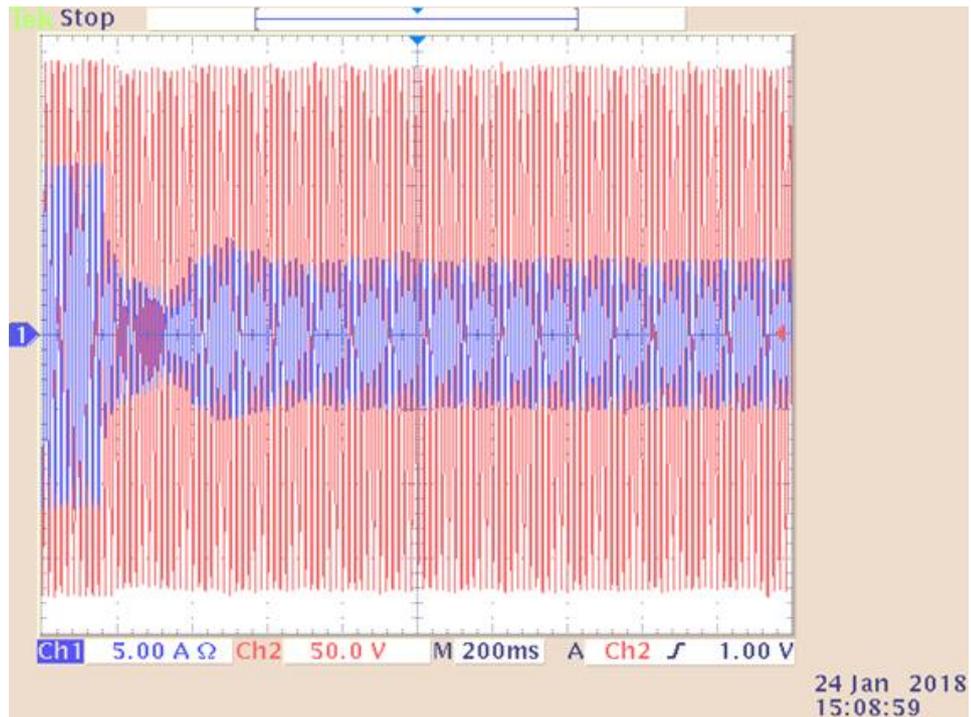
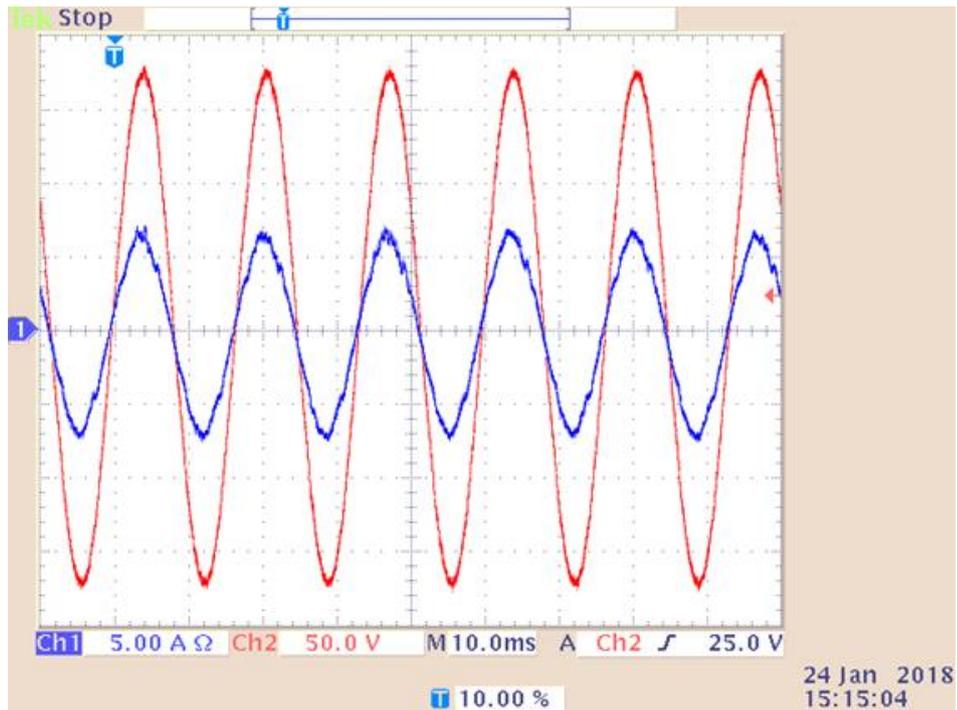
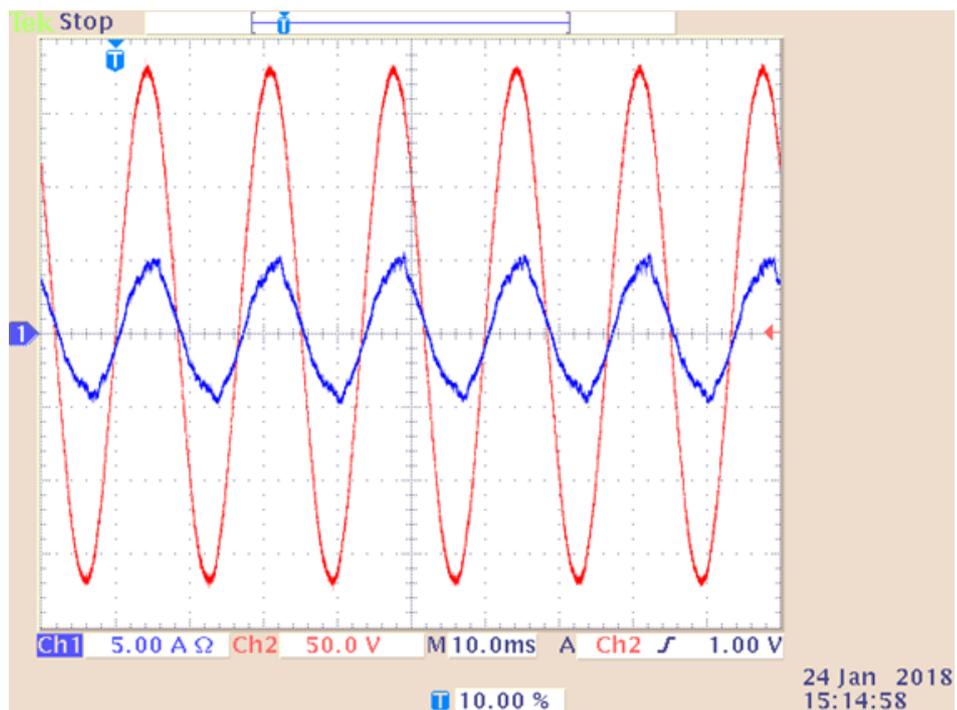


Fig. 5.16 – Inversor 2 - Dinâmica da corrente (CH1) e tensão (CH2) de saída do inversor. CH1:5 A/div. CH2:50 V/div. Composição da linha: Indutor de 1500 μ H e resistência de 0,81 Ω .

Na Fig. 5.16 é mostrado que após realizar o paralelismo, a tensão v_{c2} reduziu, o que ocorreu devido ao fato da potência reativa Q_1 ser negativa e Q_2 positiva (Fig. 5.18). Enquanto a corrente de saída i_{o2} também diminuiu depois da conexão, mas devido ao compartilhamento de corrente com o inversor 1. Os valores de pico da tensão v_{c2} e da corrente i_{o2} se estabilizaram em 173 V e 5 A, respectivamente. A Fig. 5.17 mostra os regimes permanentes obtidos para i_{o1} , v_{c1} e i_{o2} , v_{c2} .



(a)



(b)

Fig. 5.17 – Regime permanente das correntes (CH1) e tensões (CH2) de saída dos inversores. CH1:5 A/div. CH2:50 V/div. Composição da linha: Indutor de 1500 μH e resistência de 0,81 Ω . Inversor 1 (a), inversor 2 (b).

A partir das Fig. 5.17 (a) e (b) pode-se observar que os dois inversores estabilizaram com tensões de saída v_c próximos a 123 Vrms. A corrente de saída i_{o1} estabilizou com valor de pico próximo a 7 A, enquanto que a do inversor 2 possuiu cerca de 5 A de pico. Além disso, as

correntes possuíram deformação devido ao impacto proveniente das tensões de saída dos inversores terem uma pequena diferença de amplitude entre si. Já as potências P_1 e P_2 e reativas Q_1 e Q_2 fornecidas pelos inversores podem são mostradas na Fig. 5.18.

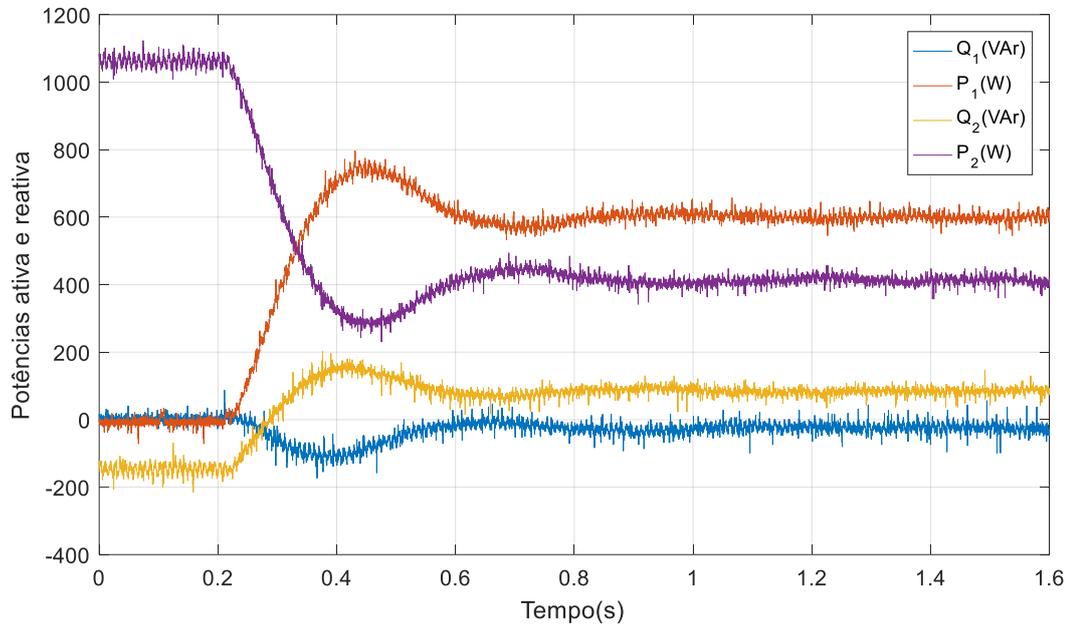
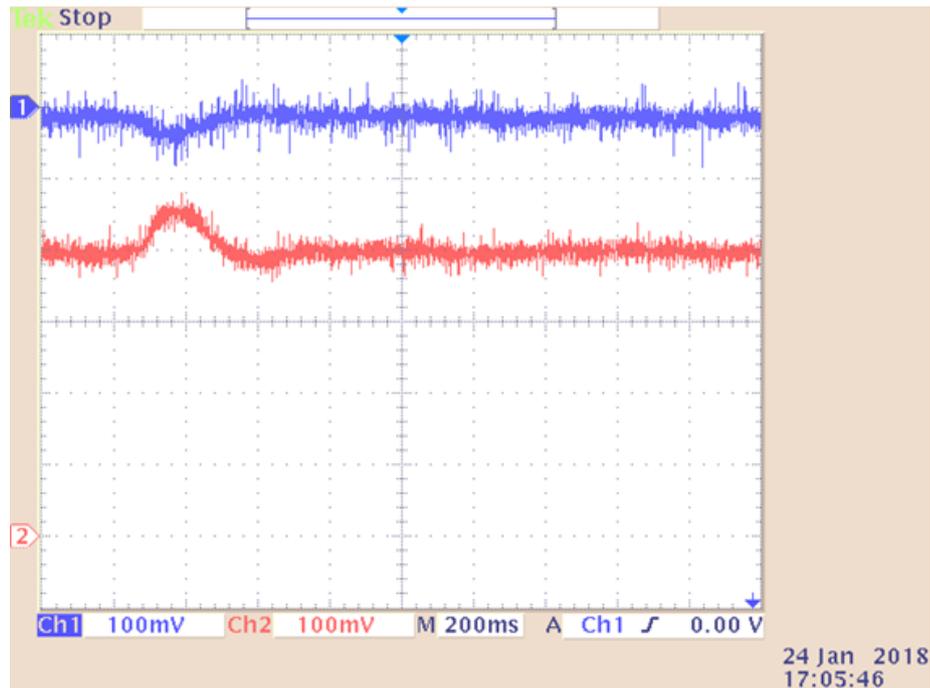


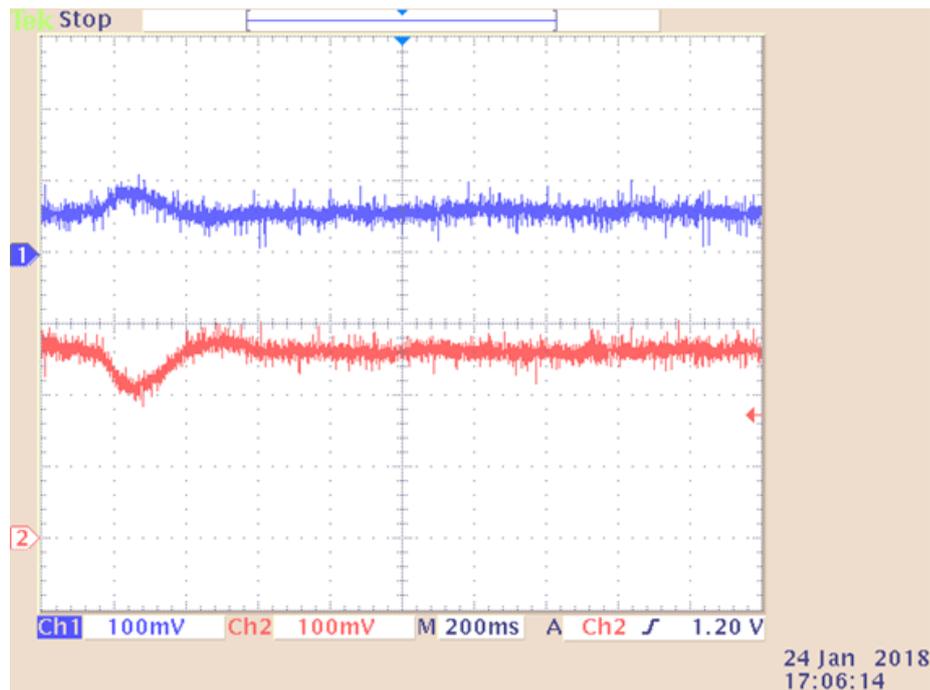
Fig. 5.18 – Potências ativas P_1 e P_2 e reativas Q_1 e Q_2 . Composição da linha: Indutor de $1500 \mu\text{H}$ e resistência de $0,81 \Omega$.

A Fig. 5.18 mostra as dinâmicas das potências ativas e reativas dos inversores, os quais foram conectados em paralelo no instante de 200 ms. Pode-se verificar que a potência P_2 começa em cerca de 1050 W , enquanto que P_1 é nulo, mas após a conexão em paralelo, a potência ativa é dividida entre as unidades, sendo obtidos $P_1=600 \text{ W}$ e $P_2=400 \text{ W}$. Em relação às potências reativas, pode-se observar que Q_1 e Q_2 inicializam com valores próximos de 0 VAr e -160 VAr . Porém, após a conexão em paralelo, Q_1 entrou em regime permanente com valor próximo de -15 VAr , enquanto Q_2 estabilizou em cerca de 80 VAr . Desta forma, após a conexão, o inversor 1 passou a se comportar como carga.

Após o sistema entrar em regime permanente, a fase da tensão de saída do inversor 1 foi sujeita a aplicação de um degrau de $+2^\circ$. As dinâmicas obtidas para as potências dos dois inversores podem ser vistas na Fig. 5.19.



(a)



(b)

Fig. 5.19 – Potências reativa (CH1) e ativa (CH2) para uma perturbação de $+2^\circ$ na fase da tensão de saída do inversor 1. CH1:150 VAR/div. CH2:150 W/div. Composição da linha: Indutor de $1500 \mu\text{H}$ e resistência de $0,81 \Omega$.

A partir da Fig. 5.19 é possível verificar que o sistema conseguiu estabilizar após a fase do inversor 1 ser sujeita à perturbação. O tempo de acomodação foi de 500 ms. Considerando os resultados apresentados neste tópico pode-se constatar que as dinâmicas

obtidas para o presente caso analisado possuíram amortecimento maior que os obtidos para a linha composta por um indutor de 560 μH e 0,73 Ω .

5.6 - Comparação entre as dinâmicas do paralelismo com a rede e entre inversores

No Capítulo 3 foram realizados estudos voltados para simplificação do modelo matemático do paralelismo de inversores visando aproximá-los com o paralelismo com a rede. Na presente seção são realizadas as comparações entre os resultados práticos obtidos para o degrau na fase da tensão de saída do inversor nos paralelismos com a rede elétrica, bem como, entre 2 inversores. O objetivo desta comparação é verificar e validar os dados obtidos via simulação apresentados no Capítulo 3, onde os resultados das simulações mostraram que, para sistemas simétricos, as amplitudes dos desvios $\Delta\omega$, ΔE , ΔP , e ΔQ do modelo de pequenos sinais do paralelismo com a barra infinita igualam-se aos desvios do paralelismo de N inversores quando multiplicados pelo ganho $\frac{1}{N}$. Os valores de regime permanente das curvas foram zerados, o que permite uma maior facilidade para análise e compreensão dos dados apresentados.

5.6.1 – Comparação entre as dinâmicas obtidas com indutor de 500 μH

O primeiro caso a ser analisado corresponde à linha composta pelas impedâncias de um indutor de 500 μH e da rede elétrica. As dinâmicas obtidas para as frequências ω , tensões E , potências ativas P e reativas Q de saída dos inversores para os paralelismos com a rede elétrica e entre 2 inversores foram sobrepostas e mostradas na Fig. 5.20.

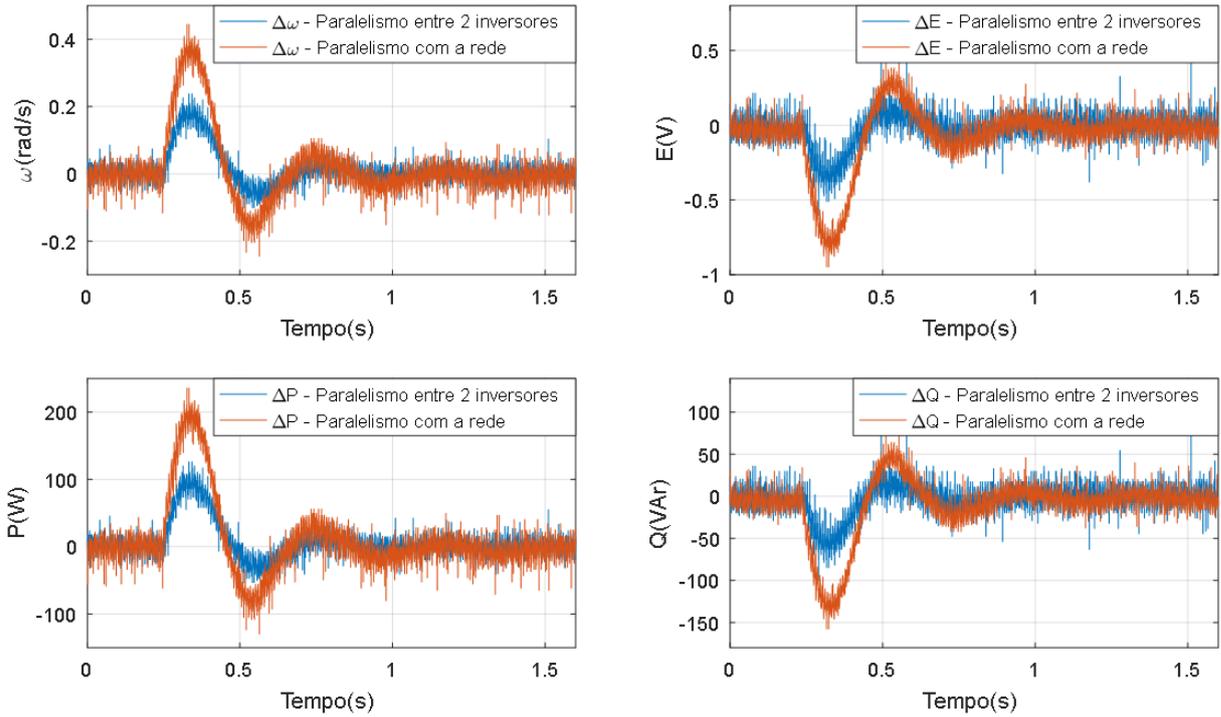


Fig. 5.20 – Dinâmicas do paralelismo com a rede e entre 2 inversores. Impedância da linha: Indutor de 500 μH mais impedância da rede elétrica.

Na Fig. 5.20 pode-se verificar que os desvios $\Delta\omega$, ΔE , ΔP e ΔQ no paralelismo entre dois inversores possuem amplitudes duas vezes menores que no paralelismo com a rede, mas apresentam mesmo amortecimento e frequência. As mesmas conclusões haviam sido apresentadas no Capítulo 3 ao se comparar as dinâmicas do paralelismo com uma barra infinita e o paralelismo entre 2 inversores, o que valida os dados obtidos via simulação.

5.6.2 – Comparação entre as dinâmicas obtidas com indutor de 1500 μH

A segunda análise foi realizada para a linha composta pelas impedâncias de um indutor de 1500 μH e da rede elétrica. A Fig. 5.21 mostra a sobreposição das dinâmicas das frequências ω , tensões E , potências ativas P e reativas Q de saída dos inversores obtidas para os paralelismos com a rede elétrica e entre 2 inversores.

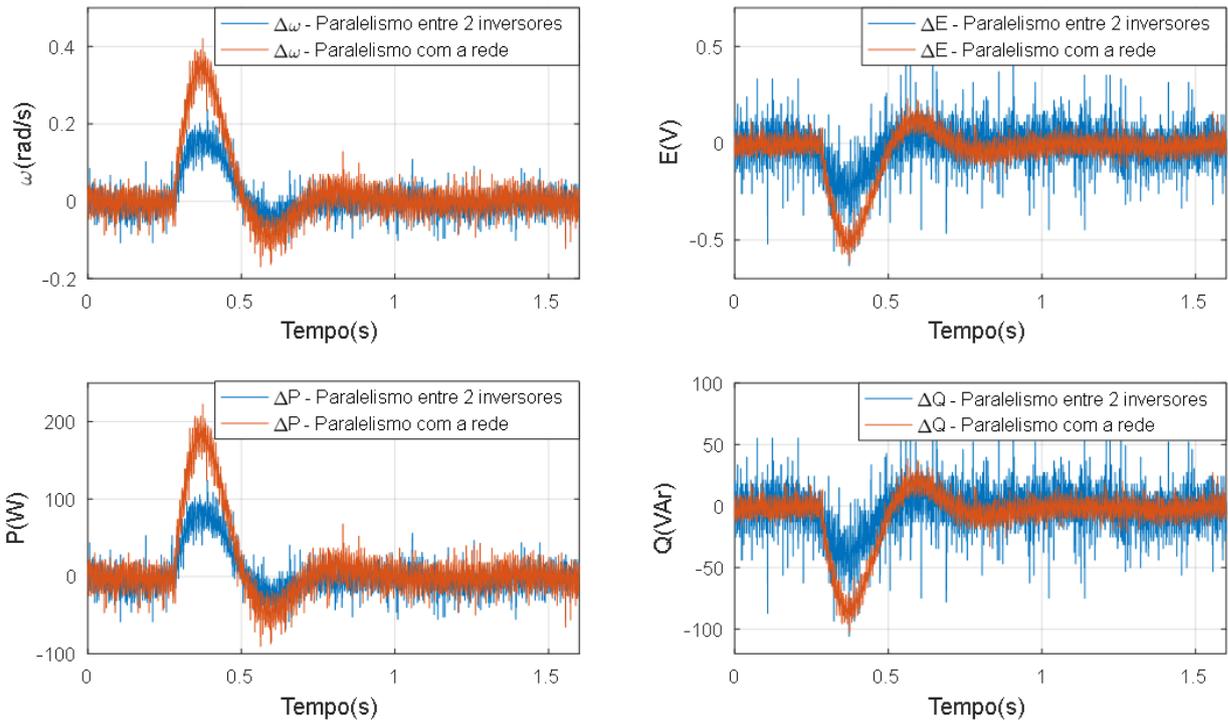


Fig. 5.21 – Dinâmicas do paralelismo com a rede e entre 2 inversores. Impedância da linha: Indutor de 1500 μH mais impedância da rede elétrica.

A Fig. 5.21 mostra os resultados obtidos para indutância de 1500 μH . Nesta imagem pode-se constatar que os desvios $\Delta\omega$, ΔE , ΔP e ΔQ no paralelismo entre dois inversores também possuíram amplitudes duas vezes menores que no paralelismo com a rede e apresentaram amortecimento e frequência iguais. O mesmo comportamento havia sido relatado no Capítulo 3, onde foram comparadas as dinâmicas do paralelismo com uma barra infinita com as do paralelismo entre 2 inversores, o que valida os dados obtidos via simulação para diferentes impedâncias de linha.

5.7 - Conclusões

Neste capítulo foram apresentados os esquemas de ligações e os procedimentos para se realizar as conexões dos paralelismos de um inversor com a rede elétrica e de dois inversores. A modelagem matemática destes inversores não foi realizada devido a sua impedância de saída (0,3%) ser desprezível quando comparada ao valor da impedância estimada para a rede elétrica (4,6%). Além disso, o paralelismo entre inversores foi configurado para ser equivalente aos casos estudados no paralelismo com a rede. Isso com o intuito de realizar-se comparações entre as dinâmicas de ambos os paralelismos, os quais são analisados ao final das conclusões.

Os resultados experimentais relacionados aos paralelismos de um inversor com a rede elétrica e entre inversores possibilitaram verificar a existência de um erro de 100 W no compartilhamento da potência ativa. Entretanto, o mesmo não possui influência nos estudos realizados no presente trabalho, visto que são analisadas as dinâmicas destes paralelismos e não seus valores de regime permanente. No entanto, estão sendo feitos estudos para se determinar a causa deste erro.

Também foi verificado que devido ao fato do inversor 1 se comportar como carga em relação ao inversor 2, sua potência reativa foi negativa, enquanto que a do segundo inversor foi positiva. Isso fez com que durante a conexão em paralelo entre os inversores, a tensão de saída do inversor 1 aumentasse, enquanto que a do inversor 2 diminuísse.

A partir de uma perturbação na fase da tensão de saída do inversor foi possível obter as dinâmicas das frequências ω , tensões E , potências ativas P e reativas Q para os paralelismos de um inversor com a rede elétrica e entre 2 inversores. A sobreposição das curvas obtidas para essas variáveis possibilitou verificar que os desvios do paralelismo com a rede possuíam amplitude duas vezes maior que os apresentados no paralelismo entre 2 inversores. Porém, essas curvas apresentaram mesmo amortecimento e frequência. Assim, ao se multiplicar os desvios do paralelismo com a rede elétrica pelo ganho $1/2$, passa a existir concordância entre as curvas desse sistema e os resultados obtidos para o paralelismo entre 2 inversores. Os mesmos resultados foram obtidos com as simulações apresentadas no Capítulo 3, ou seja, foi possível validá-los por meio de dados experimentais. Assim, pode-se utilizar o modelo de pequenos sinais do paralelismo com a rede para realização de projetos e análise do paralelismo de inversores com maior facilidade.

Capítulo 6

Conclusões gerais e propostas de continuidade

6.1 - Conclusões Gerais

No presente trabalho realizou-se o estudo voltado para a simplificação do modelo de pequenos sinais e à melhoria da estabilidade do paralelismo sem comunicação de UPSs.

O estudo dos paralelismos de um inversor com uma barra infinita e entre inversores possibilitou uma melhor compreensão sobre o comportamento destes sistemas. Este estudo permitiu a observação da semelhança dos autovalores obtidos para ambos os paralelismos. A partir desse fato e considerando os sistemas simétricos, ou seja, mesma impedância de linha, foi possível aproximar o paralelismo entre N inversores com o modelo de pequenos sinais do paralelismo de um inversor com uma barra infinita, como mostrado no Capítulo 3. Isso porque os autovalores do paralelismo entre N inversores são conhecidos (0 , ω_{cp} , ω_{cq}) e os demais são semelhantes aos do paralelismo com a barra, repetindo com a relação de $N-1$, onde N é o número de inversores em paralelo. Desta forma, se o paralelismo com a barra infinita for estável, conseqüentemente, o paralelismo entre inversores também será, qualquer que seja a quantidade deste equipamento, possibilitando projetar o controle de cada inversor por meio do modelo de pequenos sinais simplificado. Assim, o projeto e a análise do paralelismo de inversores podem ser realizados com maior facilidade.

Em seguida, foram estudados os impactos do uso de frequências de corte diferentes nos filtros de medição das potências ativa e reativa na ausência do PSS no controle. Este estudo possibilitou verificar que o crescimento de ω_{cq} proporciona um aumento da sensibilidade dos autovalores com a variação de R/X , enquanto que para ω_{cp} isso não procede. Também foi observado que, para linhas muito resistivas, o crescimento de ω_{cp} resulta na diminuição da frequência dos polos complexos, enquanto o aumento de ω_{cq} promove o aumento da mesma. Além disso, para os pares de frequências $\omega_{cp1}=\omega_1$, $\omega_{cq1}=\omega_2$ e $\omega_{cp2}=\omega_2$, $\omega_{cq2}=\omega_1$, os autovalores complexos tendem para o mesmo valor com $R \gg X$.

Outro fato observado foi que ao aumentar Z_L e as frequências ω_{cp} ou ω_{cq} , quando comparadas com as frequências de referência, ocorre um deslocamento dos polos para esquerda no plano complexo, o que aumenta a possibilidade destes polos estarem localizados no semi-plano esquerdo e, conseqüentemente, a possibilidade do sistema ser estável. Também foi mostrado que o aumento de Z_L e da frequência ω_{cq} resulta em um comportamento semelhante ao de um sistema parcialmente desacoplado para os autovalores complexos, ou seja, há uma redução da influência da variação de R/X nestes autovalores.

Em relação ao amortecimento, foi verificado que para todos os casos de Z_L (1%, 2% e 5%) e R/X inferior a 1, o uso das frequências de corte $\omega_{cp} > \omega_{cq}$ apresentou valores de amortecimentos superiores aos obtidos com a aplicação das frequências $\omega_{cp} < \omega_{cq}$ e $\omega_{cp} = \omega_{cq}$. Já para R/X próximo de 100, os amortecimentos obtidos para os pares $\omega_{cp1}=\omega_1$ e $\omega_{cq1}=\omega_2$, $\omega_{cp2}=\omega_2$ e $\omega_{cq2}=\omega_1$ foram semelhantes e também maiores que os calculados ao se utilizar $\omega_{cp} = \omega_{cq}$. Isso ocorreu para todos os valores de Z_L estudados neste trabalho, com exceção de $Z_L=5\%$.

Depois foram realizados estudos relacionados aos modelos de pequenos sinais do paralelismo de inversores com o PSS na ação de controle. No âmbito de estabilidade, o estudo voltado para o uso do PSS em conjunto com frequências de corte iguais e diferentes possibilitou verificar que todos os polos estavam localizados à esquerda do plano complexo, ou seja, o PSS estabilizou este paralelismo para todos os casos de Z_L e R/X estudados neste trabalho. Além disso, também foi verificado um aumento significativo nos valores dos amortecimentos quando comparados aos obtidos na ausência do PSS no controle.

Mostrou-se por meio de testes de aplicação e rejeição de carga a robustez das malhas de corrente e tensão empregadas no controle do inversor. As deformações nas formas de ondas obtidas para a corrente i_o e tensão v_c foram ocasionadas pelo efeito proveniente do tempo morto, o qual não pôde ser reduzido devido as características do transistor empregado no chaveamento.

As impedâncias de saída do inversor e da rede elétrica foram estimadas, sendo iguais a $0,05 \Omega$ (0,3%) e $0,7425 \Omega$ (4,6%), respectivamente. Assim, pode-se verificar que a impedância da rede elétrica possui maior influência na resposta do sistema do que a impedância de saída do inversor, a qual pode ser desconsiderada. Desta forma, não foi necessário obtenção e, conseqüentemente, a validação do modelo deste equipamento.

A realização do paralelismo de um inversor com a rede elétrica possibilitou verificar que a potência compartilhada apresentou um erro de 100 W, o qual também foi observado nos resultados obtidos para o paralelismo entre inversores. Algumas das possíveis causas desta diferença foram levantadas: desigualdade entre as frequências dos sinais PWM dos sistemas, frequência da rede, valores dos componentes empregados na montagem eletrônica, diferença entre as correntes apresentadas pelos inversores. Entretanto, não foi possível determinar a causa deste erro, mas estão sendo realizados estudos com este intuito. É importante ressaltar que a existência deste erro não inviabiliza os resultados obtidos, visto que o presente trabalho analisa as dinâmicas dos paralelismos e não seus regimes permanentes.

A conexão em paralelo entre os inversores fez com que o inversor 1 se comportasse como carga, o que fez com que sua potência reativa fosse negativa. Esse comportamento resultou no aumento da tensão de saída do inversor 1 e na redução da mesma para o inversor 2, após o paralelismo.

Por fim, foram obtidas as dinâmicas das frequências ω , tensões E , potências ativas P e reativas Q a partir de uma perturbação na fase da tensão de saída do inversor 1 para os paralelismos de um inversor com a rede elétrica e entre dois inversores. Estas dinâmicas foram sobrepostas, o que possibilitou verificar que as amplitudes dos desvios das curvas do paralelismo com a rede foram duas vezes maiores que os desvios presentes no paralelismo entre dois inversores. Além disso, as dinâmicas apresentaram mesmo amortecimento e frequência natural. Esses dados permitiram validar os resultados demonstrados nos estudos realizados no Capítulo 3, os quais mostraram que as dinâmicas do modelo de pequenos sinais do paralelismo entre inversores podem ser aproximadas pelo modelo do paralelismo com a rede, sendo necessária apenas a adequação do ganho nos desvios. Os desvios do paralelismo com a rede devem ser multiplicados por $1/N$, onde N é o número de inversores em paralelo. Assim, pode-se utilizar o modelo de pequenos sinais do paralelismo com a rede para realização de projetos e análises com maior facilidade.

6.2 – Propostas de continuidade

Como propostas de continuidade do presente trabalho propõe-se:

- ❖ Verificar a causa do erro de compartilhamento das potências ativas;
- ❖ Estudar o modelo de pequenos sinais simplificado para sistemas assimétricos;
- ❖ Validar experimentalmente a simplificação do modelo para o paralelismo entre mais de dois inversores;
- ❖ Estudar o impacto do uso de frequências diferentes para linhas indutivas;
- ❖ Realizar e analisar os testes práticos para o uso de frequências diferentes entre os filtros de medições das potências ativa e reativa;
- ❖ Analisar o impacto do uso de impedância de saída virtual;
- ❖ Verificar o comportamento do paralelismo, em baixa tensão, ao se utilizar leis de controle do método *droop* invertidas (P - E e Q - ω).

Referências Bibliográficas

- [1] DEHGHAN, S. M. et al. **A High Performance Controller for Parallel Operation of three-Phase UPSs Powering Unbalanced and Nonlinear Loads.** 2nd Power Electronics, Drive Systems and Technologies Conference, 2011.
- [2] GUERRERO, J. M.; VASQUEZ, J. C.; TEODORESCU, R. **Hierarchical control of droop-controlled DC and AC microgrids a general approach towards standardization.** Annual Conference IECON, pp. 4305-4310, 2009.
- [3] AZDANIAN, M.; MEHRIZI-SANI, A. **Distributed Control Techniques in Microgrids.** IEEE Trans. Smart Grid, Vol. 5, no. 6, pp. 2901-2909, 2014.
- [4] SANTOS FILHO, R. M. dos. **Contribuição ao Controle Digital do Paralelismo sem Comunicação de Sistemas de Energia Ininterrupta.** Tese - Universidade Federal de Minas Gerais. Belo Horizonte, 18 set. 2009.
- [5] SHAMSEH, M. B.; KAWAMURA, A.; YOSHINO, T. **A Robust Equal-Load-Sharing Control Scheme for Parallel UPS Units with Time Delay Consideration.** IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia), 2016.
- [6] YAOQIN, J.; DINGKUN, L.; SHENGKUI, P. **Improved Droop Control of Parallel Inverter System in Standalone Microgrid.** 8th International Conference on Power Electronics (ECCE Asia), 2011.
- [7] LOPES, J. A. P.; MOREIRA, C. L.; MADUREIRA, A. G. **Defining control strategies for MicroGrids islanded operation.** Power Systems, IEEE Transactions on, vol.21, pp.916-924, 2006.
- [8] GUERRERO, J. M. et al. **Wireless-Control Strategy for Parallel Operation of Distributed-Generation Inverters.** Industrial Electronics, IEEE Transactions on, vol.53, pp. 1461-1470, 2006.
- [9] MARWALI, M. N.; JIN-WOO, J.; KEYHANI, A. **Control of distributed generation systems - Part II: Load sharing control.** Power Electronics, IEEE Transactions on, vol.19, pp.1551-1561, 2004.
- [10] MAJUMDER, R. et al. **Control of parallel converters for load sharing with seamless transfer between grid connected and islanded modes.** In IEEE 2008 Power and Energy Society General Meeting, jul. 2008, pp.1-7.

- [11] CHUNG, I. Y. et al. **Control Methods of Inverter-Interfaced Distributed Generators in a Microgrid System**. Industry Applications, IEEE Transactions on, vol.46, pp.1078-1088, 2010.
- [12] ROLIM, L. G. B. et al. **Analysis and Software Implementation of a Robust Synchronizing PLL Circuit Based on the pq Theory**. IEEE Transactions on Industrial Electronics, vol.53, no.6, pp. 1919-1926, dec. 2006.
- [13] KAURA, V.; BLASKO, V. **Operation of a Phase Locked Loop System Under Distorted Utility Conditions**. IEEE Transactions on Industrial Applications, vol. 33. no. 1, pp.58-63, jan. 1997.
- [14] SILVA, S. A. O. et al. **A Three-Phase Line-Interactive UPS System Implementation with Series-Parallel Active Power-Line Conditioning Capabilities**. In Proc. IEEE IAS Conf. Rec., 2001, pp. 2389-2396.
- [15] AREDES, M. et al. **Control Strategies for Series and Shunt Active Filters**. In Proc. IEEE Powertech Conf. Rec., 2003.
- [16] AREDES, M.; MONTEIRO, L. F. C. **A Control Strategy for shunt Active Filter**. In Proc. IEEE ICHQP Conf. Rec., 2002, pp.472-477.
- [17] SILVA, S. M. et al. **Performance Evaluation of PLL Algorithms for Single Phase Grid-Connected Systems**. In Proc. IEEE IAS Conf. Rec., 2004, pp. 2259-2263.
- [18] ARRUDA, L. N. et al. **PLL Structures for Utility Connected Systems**. In Proc. IEEE IAS Conf. Rec., 2001, pp.2655-2660.
- [19] DECKMANN, S. M.; MARAFÃO, F. P., PÁDUA, M. S. de. **Single and Three-Phase Digital PLL Structures based on Instantaneous Power Theory**. 7th Brazilian Power Electronics Conf (COBEP03), Fortaleza, Brazil, set. 2003.
- [20] KARIMI-GHARTEMANI, M.; IRAVANI, M. R. **A method for synchronization of power electronic converters in polluted and variable-frequency environments**. IEEE Transactions on Power Systems, vol. 19, no. 3, pp.1263-1270, ago. 2004.
- [21] KARIMI-GHARTEMANI, M.; IRAVANI, M. R. **A new phase-locked loop (PLL) system**. In Proc. IEEE MWSCAS Conf. Rec., 2001, pp.421-424.
- [22] TIMBUS, A. V. et al. **Synchronization Methods for Three Phase Distributed Power Generation Systems. An Overview and Evaluation**. In Proc. IEEE PESC Conf. Rec., 2005, pp. 2474- 2481.
- [23] HAN, B.; BAE, B. **Novel Phase-Locked Loop Using Adaptive Linear Combiner**. IEEE Transactions on Power Delivery, vol. 21, no. 1, pp. 513-514, jan. 2006.

- [24] HARNEFORS, P. K.; PETERSSON, A. L.; Nee, H. P. **DC-Link Stabilization and Voltage Sag Ride-Through of Inverter Drives**. IEEE Transactions on Industrial Electronics, vol.53, no.4, pp.1261-1268, Jun. 2006.
- [25] VILATHGAMUWA, D. M.; LOH, P. C.; LI, Y. **Protection of Microgrids During Utility Voltage Sags**. IEEE Transactions on Industrial Electronics, vol.53, no.5, pp.1427-1436, out. 2006.
- [26] GUERRERO, J. M.; VICUNA, L. G.; UCEDA, L. **Uninterruptible Power Supply Systems Provide Protection**. IEEE Industrial Electronics Magazine, vol.1, issue 1, pp.28-38. DOI 10.1109/MIE.2007.357184, 2007.
- [27] BOLLEN, M. H. J. **Understanding Power Quality Problems: Voltage Sags and Interruptions**. IEEE Press, 2000.
- [28] SANTOS FILHO, R. M. dos et al. **Comparison of Three Single-Phase PLL Algorithms for UPS Applications**, IEEE Transactions on Industrial Electronics, v. 55, p. 2923-2932, 2008.
- [29] SANTOS FILHO, R. M. dos; SEIXAS, P. F.; CORTIZO, P. C. **A Comparative Study of Three-Phase and Single-Phase PLL Algorithms for Grid-Connected Systems**. In Proc. INDUSCON Conf. Rec., Recife, Brasil, 2006.
- [30] GUERRERO, J. M.; HANG, L.; UEEDA, J. **Control of Distributed Uninterruptible Power Supply Systems**. IEEE Transactions on Industry Applications, vol. 55, no. 8, ago. 2008.
- [31] SALDANHA, M. A. et al. **Modelo de Pequenos Sinais Simplificado para o Paralelismo de Inversores**. SEPOC - Seminar on Power Electronics and Control, 2017, Santa Maria. 10th SEPOC Conference Papers. Santa Maria: UFSM, 2017. v. 1.
- [32] HE, Z.; XING, Y. **Distributed Control for UPS Modules in Parallel Operation With RMS Voltage Regulation**. IEEE Transactions on Industrial Electronics, vol. 55, no. 8, ago. 2008.
- [33] PASCUAL, M. et al. **Robust Model-following Control of Parallel Ups Single-phase Inverters**. IEEE Transactions on Industrial Electronics, vol. 55, no. 8, ago. 2008.
- [34] ZHANG et al. **Modular Plug'n'Play Control Architectures for Three-Phase Inverters in UPS Applications**. IEEE Transactions on Industry Applications, vol. 52, no. 3, mai/Jun. 2016.
- [35] MOHAMED, Y. A-R. I.; EL-SAADANY, F. **Adaptive Decentralized Droop Controller to Preserve Power Sharing Stability of Paralleled Inverters in Distributed Generation Microgrids**. IEEE Transactions on Power Electronics, vol. 23, no. 6, nov. 2008.

- [36] CORRADINI, L. et al. **Analysis of Parallel Operation of Uninterruptible Power Supplies Loaded Through Long Wiring Cables**. IEEE Transactions on Power Electronics, vol. 25, no. 4, abr. 2010.
- [37] ÁVILA, M. A. et al. **Incremental Passivity Based Parallel Operation of Uninterruptible Power Supplies Without Communication - Towards a Digital Implementation**. Brazilian Power Electronics Conference (COBEP), 2013.
- [38] GOLSORKHI, M. S.; LU, D. D. C. **A Control Method for Inverter-Based Islanded Microgrids Based on V-I Droop Characteristics**. IEEE Transactions on Power Electronics, vol. 30, no. 3, jun. 2015.
- [39] VASQUEZ, J. C. et al. **Modeling, Analysis, and Design of Stationary-Reference-Frame Droop-Controlled Parallel Three-Phase Voltage Source Inverters**. IEEE Transactions on Industrial Electronics, vol. 60, no. 4, abr. 2013.
- [40] ROWE, C. N. et al. **Arctan Power-Frequency Droop for Improved Microgrid Stability**. IEEE Transactions on Power Electronics, vol. 28, no. 8 ago. 2013.
- [41] LIANG, H. et al. **Stability Enhancement of Decentralized Inverter Control Through Wireless Communications in Microgrids**. IEEE Transactions on Smart Grid, vol. 4, no. 1, mar. 2013.
- [42] KUNDUR, P. **Power System Stability and Control**. McgrawHill, 1994.
- [43] COELHO, E. A. A.; CORTIZO, P. C.; GARCIA, P. F. D. **Small Signal Stability For Parallel Connected Inverters in Stand-Alone AC Supply Systems**. IEEE Transactions on Industry Applications, vol.38, no.2, pp.533-542, mar./abr. 2002.
- [44] SANTOS FILHO, R. M. dos et al. **Small-Signal Stability Enhancement of Communicationless Parallel Connected Inverters**. 35th Annual Conference of IEEE Industrial Electronics, pp. 863-879, 2009.
- [45] SANTOS FILHO R. M. dos et al. **Power system stabilizer for communicationless parallel connected inverters**. Industrial Electronics (ISIE), 2010 IEEE International Symposium on, pp.1004-1009, 4-7 jul. 2010.
- [46] SILVA PINTO, M. A. da; SANTOS FILHO, R. M. dos. **Plataforma para estudo de inversor de frequência 1 - Inversor Allen Bradley Power Flex 70**. Manual Interno do CEFET-MG, Campus II, Belo Horizonte, 2017.
- [47] HOLMES, D. G; LIPO, T. A. **Pulse Width Modulation for Power Converters - Principles and Practice**. IEEE press, pp. 125-146, 2003.
- [48] Texas Instruments. **Texas Instruments - TMS320F28027 - Piccolo Microcontroller**. Disponível em:

- <<http://www.ti.com/lit/ds/symlink/tms320f28027.pdf>>. Acesso em: 15 jun. 2017.
- [49] Element 14 Community. **C2000 Piccolo Launchpad**. Disponível em: <<https://www.element14.com/community/docs/DOC-67539/1/c2000-piccolo-launchpad>>. Acesso em: 20 fev. 2018.
- [50] SILVA, A. C.; SANTOS, R. M. **Cond_Sinais_Inversor_Allen_Bradley rev5**. Manual Interno do CEFET-MG, Campus II, Belo Horizonte, 2017.

APÊNDICE A

Impedâncias de saída do inversor e da rede elétrica

Para a estimativa da impedância de saída do inversor, o mesmo foi conectado em paralelo a uma carga resistiva, a qual teve seu valor variado. Esta variação permitiu a obtenção de diferentes valores de tensões v_c e correntes i_o de saída do inversor, as quais foram aplicadas na lei de ohm, o que possibilitou a obtenção de uma reta, onde a inclinação correspondia à impedância. Além disso, o sistema foi sujeito a diferentes tipos de controle, os quais foram: malha aberta (M.A.), malha fechada (M.F.) sem e com compensação do barramento c.c. A compensação do barramento c.c. consistiu em ajustar manualmente, por meio de um varivolt, a tensão deste para se manter constante. A primeira situação analisada foi para o sistema em M.A., onde os valores obtidos para as leituras de v_c e i_o podem ser observadas na Tabela A.1.

Tabela A.1 - v_c e i_o para variação de R_{carga} - M.A.

$R_{carga}(\Omega)$	$v_c(V)$	$i_o(A)$
∞	123,65	0,00
31,40	123,61	3,93
24,00	123,52	5,24
19,00	123,43	6,52
16,00	123,21	7,70
13,65	123,21	9,01

A partir dos dados presentes na Tabela A.1 foi possível obter a reta $v_c = -0,0502i_o + 124,5$, onde a impedância estimada foi de $0,05 \Omega$ (0,3%). Em seguida, foi realizada a obtenção dos valores de v_c e i_o para o sistema em M.F. sem compensação do barramento c.c., ou seja, a tensão do barramento alterava com a mudança da carga aplicada no sistema. Os valores obtidos com a variação da carga são mostrados na Tabela A.2.

Tabela A.2 - v_c e i_o para variação de R_{carga} - M.F. sem compensação

$R_{carga}(\Omega)$	$v_c(\text{V})$	$i_o(\text{A})$
∞	124,04	0,00
90,50	123,99	1,37
46,44	123,99	2,67
31,40	123,95	3,95
24,00	123,88	5,15
19,00	123,81	6,45
16,00	123,72	7,74
13,65	123,61	9,06
12,00	123,51	10,31

A reta obtida utilizando os dados apresentados na Tabela A.2 foi: $v_c = -0.0527i_o + 124,1$, onde a impedância de saída do inversor foi próxima de $0,05 \Omega$. Depois, foi feita a leitura de v_c e i_o para o inversor com controle M.F. com compensação da tensão do barramento c.c., ou seja, mantendo seu valor sempre constante em 440 V. As tensões e corrente de saída do inversor medidas podem ser vistas na Tabela A.3.

Tabela A.3 - v_c e i_o para variação de R_{carga} - M.F. com compensação

$R_{carga}(\Omega)$	$v_c(\text{V})$	$i_o(\text{A})$
∞	124,02	0,00
90,50	123,95	1,37
46,44	123,93	2,67
31,40	123,91	3,94
24,00	123,82	5,15
19,00	123,75	6,41
16,00	123,65	7,71
13,65	123,58	9,05
12,00	123,51	10,28

Os valores mostrados na Tabela A.3 possibilitaram obter a reta $v_c = -0,0503i_o + 123,05$, onde a impedância também foi próxima de $0,05 \Omega$. Desta forma, para os três casos analisados, a impedância de saída do inversor foi próxima de $0,05 \Omega$, o que aumenta a confiabilidade da impedância estimada.

Em relação à impedância da rede elétrica, foi necessário conectar a mesma em série com a carga resistiva. O valor da resistência da carga foi variado, o que permitiu medir diversos valores de tensões (v_{rede}) e correntes (i_{rede}) fornecidos pela rede elétrica, os quais são apresentados na Tabela A.4.

Tabela A.4 - v_{rede} e i_{rede} para variação de R_{carga}

$R_{carga}(\Omega)$	$v_c(\text{V})$	$i_o(\text{A})$
∞	127,61	0,00
90,50	126,80	1,41
46,44	125,62	2,61
31,40	124,61	4,02
24,00	123,71	5,25
19,00	122,73	6,53
16,00	121,71	7,71
13,65	120,82	8,90
12,00	120,53	10,11

A partir da Tabela A.4 foi obtida a reta $v_{rede} = -0.7425i_{rede} + 127,61$, onde a impedância da rede elétrica estimada é igual a $0,7425 \Omega$ (4,6%).

Ao se comparar as impedâncias estimadas da rede elétrica com a da saída do inversor é possível verificar que o último possui baixa influência nas características da linha, uma vez que sua impedância equivale apenas 0,03%, enquanto que a da rede possui valor próximo de 4,6%. Assim, no presente trabalho, a impedância de saída do inversor foi desprezada e, conseqüentemente, não foi necessária a validação do modelo discreto do inversor.

APÊNDICE B

Projeto do filtro LC

No presente trabalho é utilizado um filtro LC para atenuação dos sinais PWM de saída do inversor que possuem frequência de chaveamento f_{pwm} de 15360 Hz. O projeto deste filtro foi realizado por meio da equação (B.1), sendo os valores do indutor L_o e da frequência de corte f_c iguais a 500 μ H e 1 kHz, respectivamente. Desta forma, a capacitância C_o calculada é de 45 μ F.

$$f_c = \frac{1}{2\pi\sqrt{L_o C_o}} \quad (B.1)$$

A resposta obtida para o filtro projetado é mostrada na Fig. B.1, possibilitando verificar que na frequência de PWM (15,36 kHz) a atenuação é de 30,4 dB.

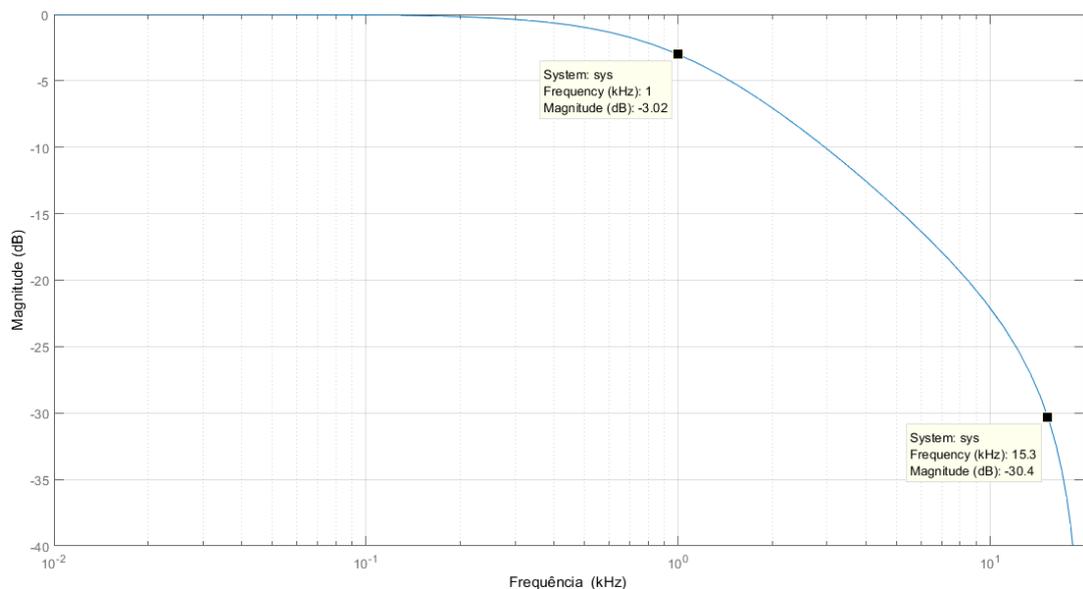


Fig. B.1 – Curva de atenuação do filtro LC.

APÊNDICE C

Pré-sincronização

É desejado que a UPS seja conectada com o mínimo de transientes ao barramento, onde demais unidades já se encontram atuando. Assim, torna-se necessário o pré-sincronismo entre a tensão de saída da UPS e a tensão presente no barramento. Este pré-sincronismo pode ser realizado pela *Phase Locked Loop* (PLL). A Fig. C.1 apresenta o diagrama em blocos da pPLL monofásica, que é uma PLL baseada na potência fictícia.

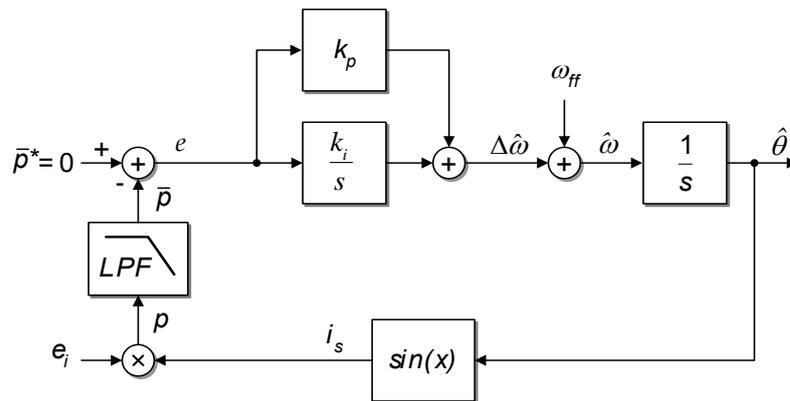


Fig. C.1 - pPLL monofásica. Fonte: [4].

A corrente fictícia i_s estará em quadratura com a componente fundamental e_i quando a potência fictícia média \bar{p} for nula. Desta forma, para uma tensão de entrada puramente senoidal, $\hat{\theta}$ igual a θ . A expressão de p na Fig. C.1 é dada por:

$$p = V \cos \theta \sin \hat{\theta}, \quad (C.1)$$

ou

$$p = \frac{V}{2} \sin(\hat{\theta} - \theta) + \frac{V}{2} \sin(\hat{\theta} + \theta).. \quad (C.2)$$

O primeiro termo de (C.2) expressa a potência média \bar{p} , a qual é extraída pelo filtro passa-baixas. Assumindo $\theta = \omega t + \phi$, $\hat{\theta} = \hat{\omega} t + \hat{\phi}$ e considerando que $\hat{\omega} \cong \omega$, para diferenças pequenas de $\phi - \hat{\phi}$, pode-se aproximar \bar{p} por

$$P \cong \frac{V}{2} (\hat{\phi} - \phi), \quad (\text{C.3})$$

A dinâmica do detector de fases depende apenas da estrutura do filtro. Como pode ser observado em (C.2), o produto do sinal de entrada pela corrente fictícia resulta em uma componente de segundo harmônico, a qual não é desejada. Além disso, é importante ressaltar que, tanto uma componente de segundo harmônico, quanto uma c.c. no sinal de entrada, produzem uma componente na frequência fundamental na saída do detector de fases, a qual também deve ser atenuada. Desta forma, o filtro deve ter frequência de corte baixa, apresentando alguma atenuação em torno da frequência natural a fim de evitar grandes oscilações na frequência e fase estimadas. No presente trabalho foi projetado um filtro Butterworth de 4ª ordem com frequência de corte de 42 Hz, levando a $|G_{PEI}(s)| = -28 \text{ dB@60 Hz}$, -58 dB@120 Hz .

APÊNDICE D

Implementação de PWM

A comutação dos interruptores de potências gera transitórios rápidos (*spikes*) que podem interferir nos sinais amostrados. Desta forma, para evitar estes transitórios deve-se realizar a amostragem das variáveis preferencialmente nos instantes em que não há comutação, ou seja, nos instantes de máximo e mínimo da portadora triangular. Além disso, a atualização do sinal modulante nestes mesmos instantes evita pulsos múltiplos [47], [48]. Outra maneira de implementação é atualizar a ação de controle no início do próximo semi-ciclo ou ciclo de PWM, o que permite variar a largura de pulso idealmente de 0 a 100%, caso o tempo morto seja desprezado.

Na modulação PWM simétrica ocorre somente uma atualização do sinal modulante a cada período de PWM, o que resulta na frequência de amostragem ser igual à frequência de PWM. A Fig. D.1 mostra o tempo de atraso na modulação PWM simétrica para o caso do presente trabalho.

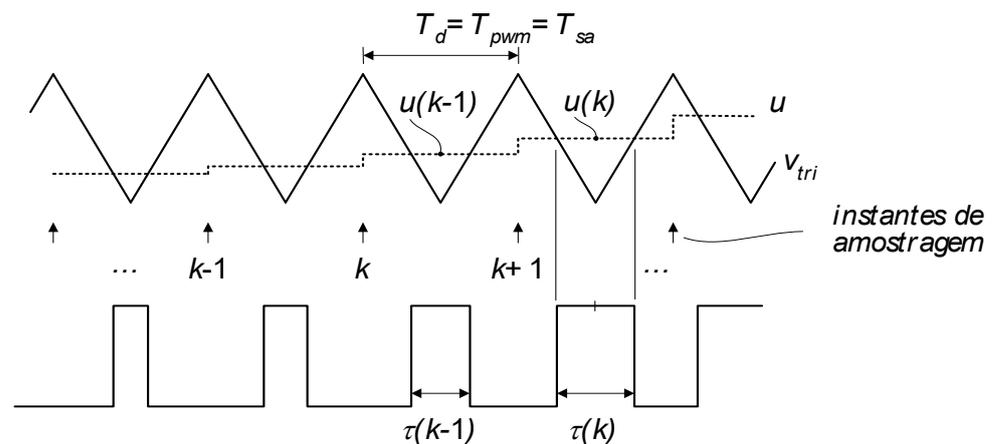


Fig. D.1 - PWM Simétrico com atraso $T_d = T_{pwm}$ na atualização do sinal de controle u . Fonte: Adaptado de [4].

APÊNDICE E

Implementação digital do controle

A implementação do controle do inversor foi realizada de forma digital. Isso é justificado devido a implementação digital poder ser realizada utilizando um processador digital de sinais (DSP), o que torna o controle mais simples do ponto de vista de *hardware* e menos oneroso quando comparado com o controle na forma analógica.

No presente trabalho foi utilizado o kit de desenvolvimento *Piccolo launchpad* (Fig. E.1), o qual baseia-se no microcontrolador TMS320F28027 (produzido pela *Texas Instruments*), que pertence à família *Piccolo C2000* de ponto fixo.

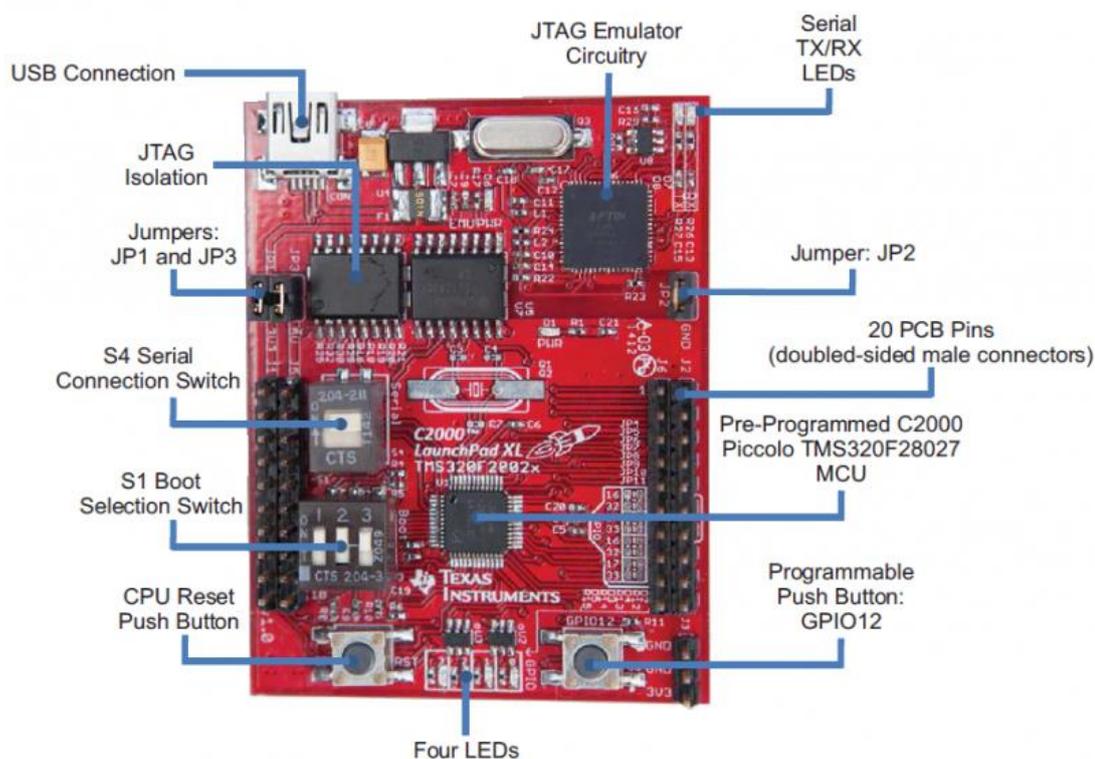


Fig. E.1 - Piccolo C2000. Fonte: [49].

Alguns recursos de *hardware* da *launchpad* são apresentados a seguir: programação na *flash* em tempo real, Microcontrolador TMS320F28027: 60 MHz C28X CPU, 8 canais PWM, ADC de 12-bit, interface de captura, UART e SPI. Em relação aos *software's*, são disponibilizados recursos como: Code Composer Studio IDE e ControlSUITE. Para mais informações pode-se acessar o datasheet do *launchpad* em [48]. O desenvolvimento do trabalho e da utilização do *launchpad* foi facilitado ao se utilizar a plataforma MPAB - *Multi Purpose Application Board*, cujo manual é apresentado em [50].

Algoritmo para o controle do inversor

Na etapa de elaboração do algoritmo para o controle do inversor foi considerada a estratégia de controle apresentada na Fig. E.2, onde pode-se observar que a ação de controle é realizada no próximo ciclo de PWM. Desta forma, sem considerar o tempo morto, o pulso poderá variar idealmente de 0 a 100% e o tempo de atraso (T_{pwm}) será fixo, de acordo com a frequência de PWM utilizada.

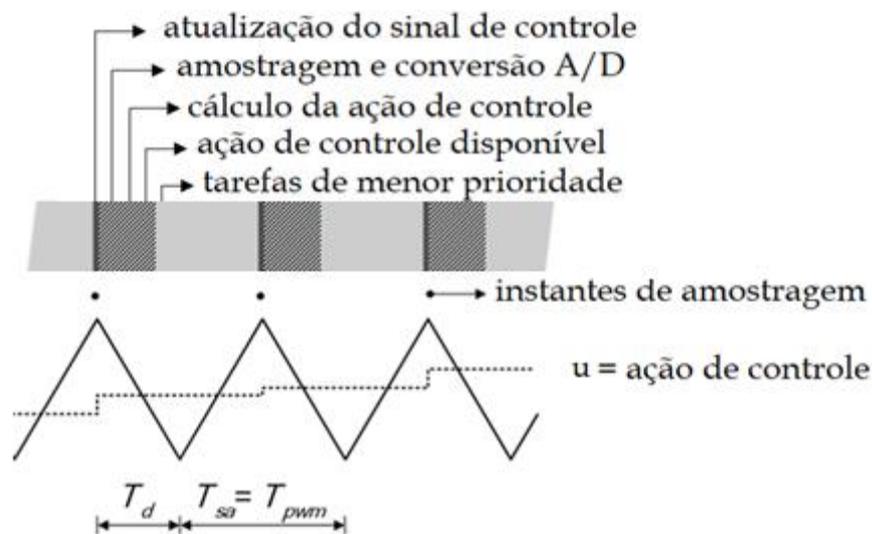


Fig. E.2 - Atraso $\Delta t = T_{pwm}$ entre a aquisição de variáveis e a aplicação da ação de controle pelo DSP. Fonte: Adaptado de [4].

Assim, considerando a estratégia da Fig. E.2, foi desenvolvido um algoritmo que se encontra no APÊNDICE F. De forma geral, o programa possui por objetivo realizar a PLL, método *droop*, o controlador PI da malha de tensão, o controlador P da malha de corrente e a geração dos sinais PWM com tempo morto. Também foram implementadas outras funcionalidades por razões de segurança, as quais foram: monitoramento da tensão do

barramento c.c. com limite de 490 V, relés de conexão com a rede e de *by-pass* do resistor de pré-carga do barramento, bem como, a interrupção da geração do PWM em caso de falha por meio do pino de *Trip Zone*.

O fluxograma mostrado na Fig. E.3 apresenta o código implementado de forma simplificada. As rotinas do *loop main* e das interrupções ePWM, A/D, SPI e Falha (*TripZone*) são mostradas detalhadamente nas Fig. E.4 a Fig. E.8, respectivamente.

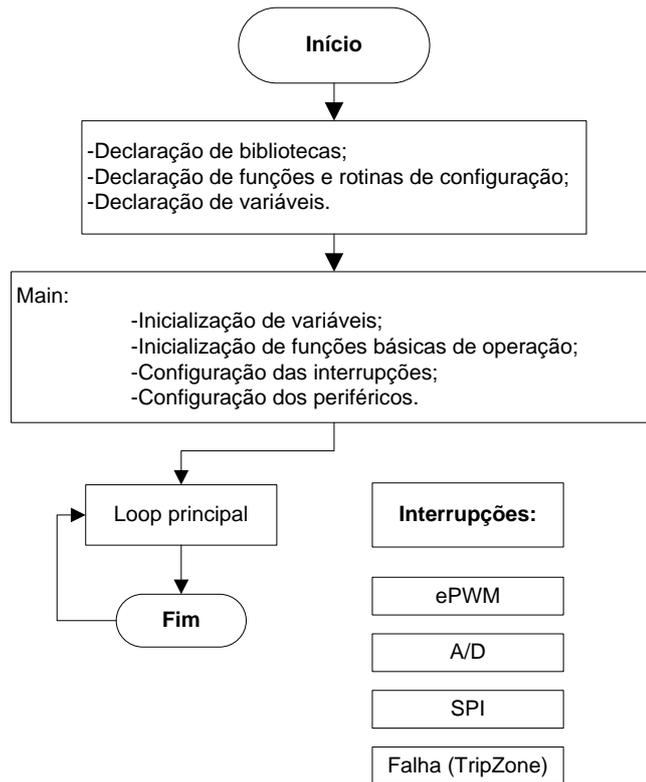


Fig. E.3 – Visão geral do código implementado.

O *loop* da main é mostrado na Fig. E.4, pode-se verificar que o mesmo tem a função relacionada à proteção e conexão ou desconexão dos componentes da montagem. É importante ressaltar que o *status* das variáveis de conexão (*releDC*, *releExt* e *vent*) são controlados manualmente, o que facilitou a realização dos testes.

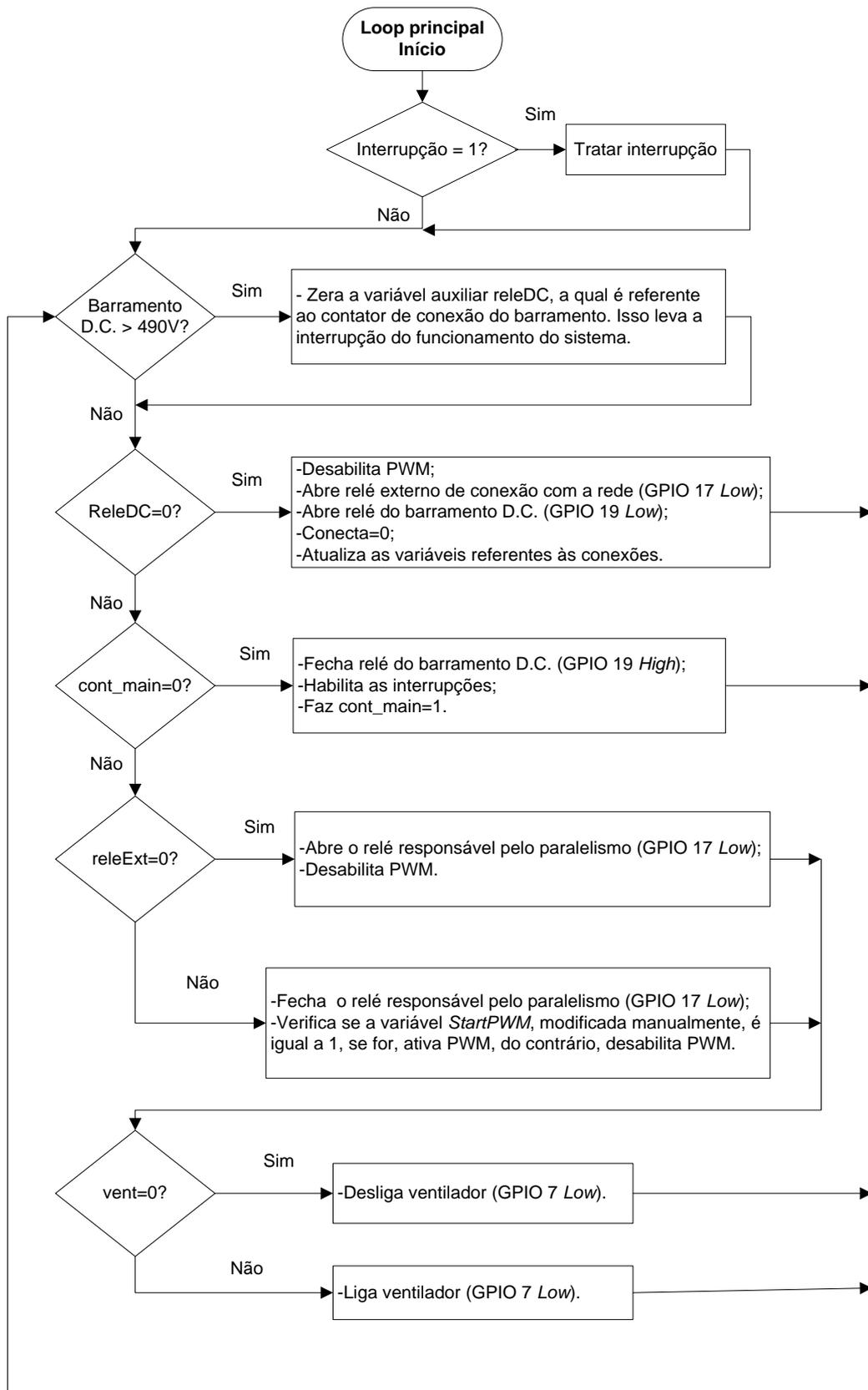


Fig. E.4 - loop da main (loop principal).

A Fig. E.5 mostra a rotina da interrupção do A/D. A rotina desta interrupção é explicada detalhadamente a seguir: a PLL é responsável pela sincronização da tensão da rede com o sinal de tensão de referência gerado. Após a sincronização, a PLL deve ser substituída manualmente pelo método *droop*, que irá ser responsável pela variação da frequência e tensão de saída do inversor de acordo com suas potências ativa e reativa fornecidas. Depois, a tensão de referência e outras variáveis como a tensão lida no capacitor de saída do inversor (v_c) são utilizadas na malha de tensão para a obtenção da corrente de referência (i_{ref}). Essa corrente é saturada, por questões de segurança, e aplicada na malha de corrente, a qual possibilita o cálculo do sinal de controle da tensão do inversor ($cmpa$). Ao fim do período de amostragem, no caso, o período do PWM, é gerada uma interrupção responsável pela atualização do sinal de controle, a qual varia o ciclo de trabalho do PWM. A razão cíclica de trabalho empregada neste projeto foi limitada de 5% a 95% por questões de segurança e tempo de resposta dos interruptores do inversor, que foi de 1,25 μ s.

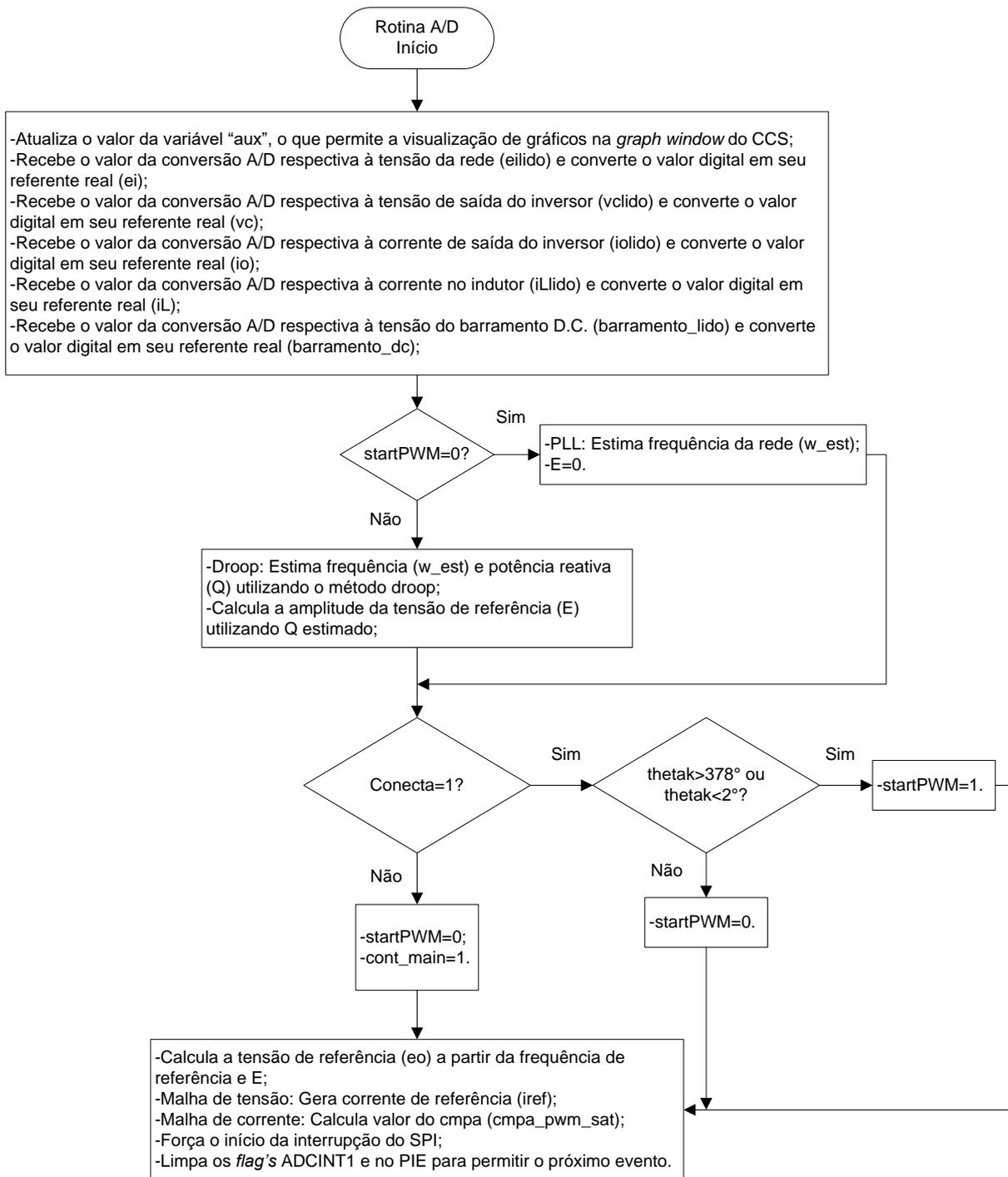


Fig. E.5 – Rotina da interrupção A/D.

As outras rotinas de interrupções abordam processos mais específicos. A rotina da interrupção respectiva ao ePWM atualiza os valores dos sinais modulantes do PWM calculados no ciclo anterior, como mostrado na Fig. E.6 A rotina apresentada na Fig. E.7, a qual é referente ao SPI, envia para o conversor D/A os dados digitais a serem convertidos e visualizados no osciloscópio. Por fim, a rotina mostrada na Fig. E.8 correspondente à *Trip Zone*, é responsável por interromper a geração de PWM caso ocorra alguma falha no sistema.

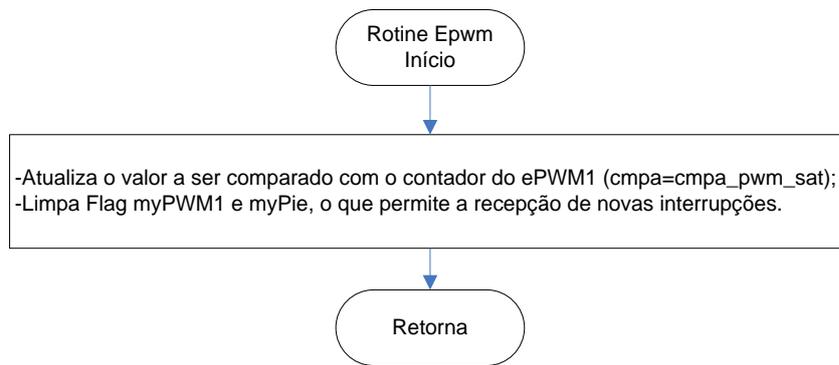


Fig. E.6 – Rotina da interrupção do ePWM.

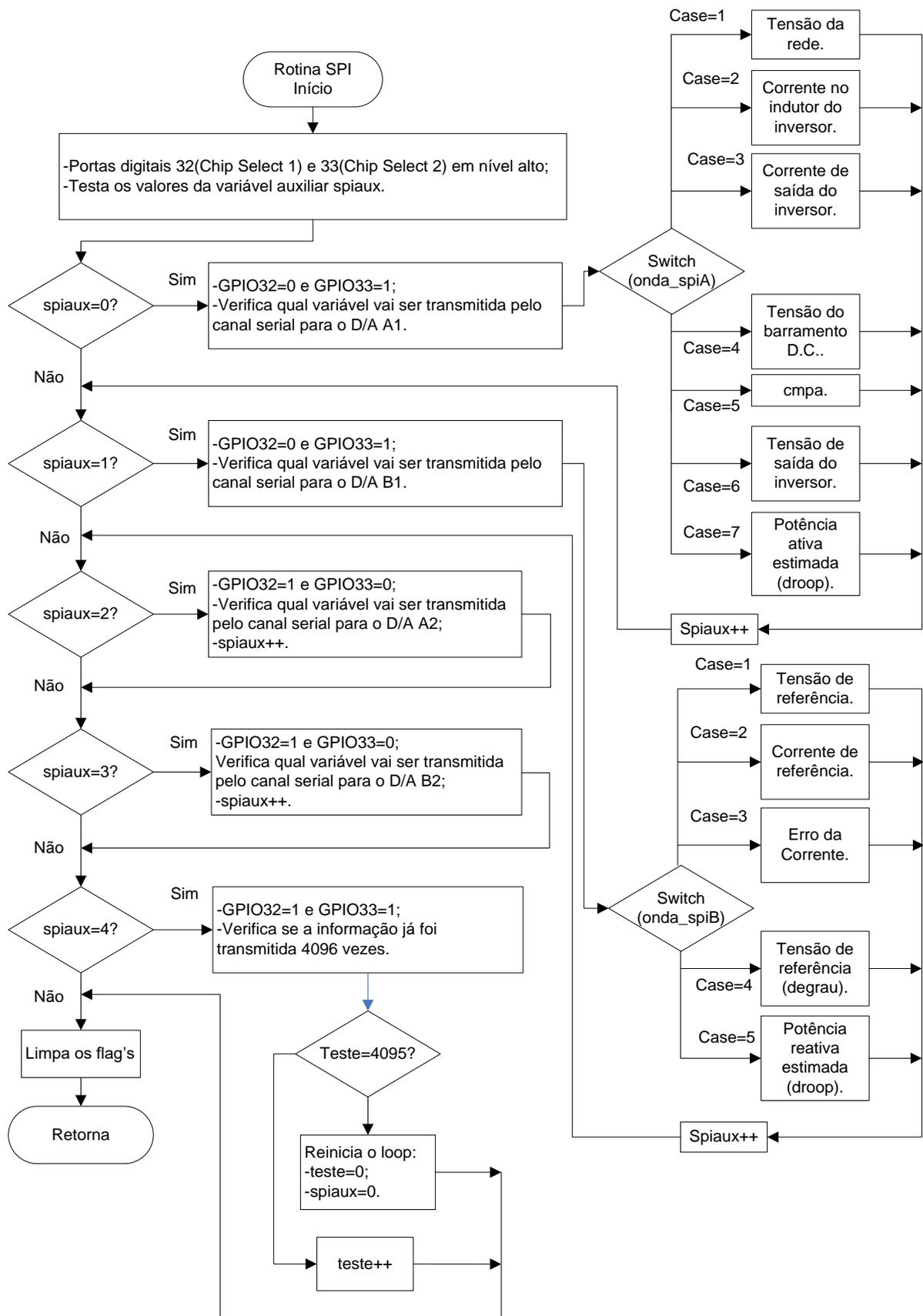


Fig. E.7 - Rotina da interrupção do SPI.

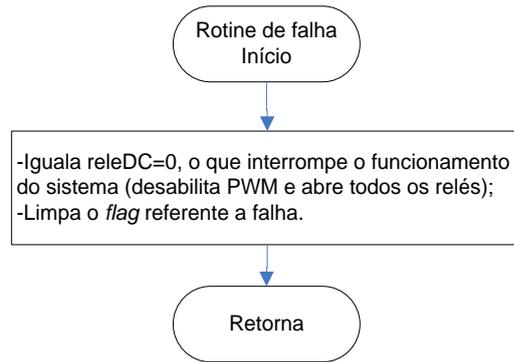


Fig. E.8 - Rotina da interrupção diante de falha no sistema.

APÊNDICE F

Código implementado para controle do inversor

```
// 1 PWM (ePWM1) com tempo morto de 1,25us
// PWM de aproximadamente 15360 Hz
// PWM1 com interrupção - Atualiza cmpa
// 5 ADC (A3, A0, B2 e A2 - PINOS 24, 26, 9 e 8, respectivamente) e B7 (barramento c.c.)
// Malhas de corrente e tensão
// IQmath
// Segurança via software
// SPI - para visualização das formas de onda via osciloscópio
// Controle por M.A.
// Controle pelo método droop

// Objetivo: Controlar (M.A. ou M.F.) a tensão de saída do inversor.

// 22/01/18 : 8:54
// Marcos Alberto Saldanha

#include "DSP28x_Project.h" // Device Headerfile and Examples Include File
#include "f2802x_common/include/clk.h"
#include "f2802x_common/include/flash.h"
#include "f2802x_common/include/gpio.h"
#include "f2802x_common/include/pie.h"
#include "f2802x_common/include/pll.h"
#include "f2802x_common/include/pwm.h"
#include "f2802x_common/include/wdog.h"
#include "f2802x_common/include/spi.h"
#include "f2802x_common/include/adc.h"
#define GLOBAL_Q 22 // seleciona a base 22 como GLobal Q
#include <IQmathLib.h>
#include "iir.h"
#include "f2802x_common/include/spi.h"
#include "f2802x_common/include/timer.h"

#define PWM1_TIMER_TBPRD 0x3D0 // Define o período do timer de ePWM1 - 15.360kHz

// Configura quais interrupções do ePWM estão ativas no nível PIE:
// 1 = enabled, 0 = disabled
#define PWM1_INT_ENABLE 1

//Filtro IIR - PLL

IIR5BIQ32 iir = IIR5BIQ32_DEFAULTS; // Cria uma variável iir do tipo IIR5BIQ32 e armazena nela
IIR5BIQ32_DEFAULTS
// O tamanho do vetor de coeficientes é igual a 5 * IIR32_LPF_NBIQ
const int32_t coeff[5*IIR32_LPF_NBIQ] = IIR32_LPF_COEFF;
int32_t dbuffer[2*IIR32_LPF_NBIQ];
```

```

//Filtro 1 para droop - Ordem 1
IIR5BIQ32 iir_droop = IIR5BIQ32_DEFAULTS; // Cria uma variável iir do tipo IIR5BIQ32 e armazena nela
IIR5BIQ32_DEFAULTS
const int32_t coeff_droop[5*IIR32_LPF_NBIQ_droop] = IIR32_LPF_COEFF_droop;
int32_t dbuffer_droop[2*IIR32_LPF_NBIQ_droop];

//Filtro 2 para droop - Ordem 1
IIR5BIQ32 iir_droop_2 = IIR5BIQ32_DEFAULTS; // Cria uma variável iir do tipo IIR5BIQ32 e armazena nela
IIR5BIQ32_DEFAULTS
const int32_t coeff_droop_2[5*IIR32_LPF_NBIQ_droop] = IIR32_LPF_COEFF_droop;
int32_t dbuffer_droop_2[2*IIR32_LPF_NBIQ_droop];

#pragma CODE_SECTION(adc_isr, "ramfuncs");
#pragma CODE_SECTION(epwm1_timer_isr, "ramfuncs");
#pragma CODE_SECTION(spiRxFifoIsr, "ramfuncs");
#pragma CODE_SECTION(spiTxFifoIsr, "ramfuncs");

void InitEPwmTimer(void); // Declara a rotina de configuração da ePWM
void InitAdc(void); // Declara a rotina de configuração do ADC
void InitGpio(void); // Declara a rotina de configuração do GPIO
void CLK_setLowSpdPreScaler2(CLK_Handle clkHandle, const CLK_LowSpdPreScaler_e preScaler);

// Interrupções
__interrupt void adc_isr(void); // Protótipo da rotina de interrupção do ADC
__interrupt void epwm1_timer_isr(void); // Protótipo da rotina de interrupção do ePWM
__interrupt void spiTxFifoIsr(void);
__interrupt void spiRxFifoIsr(void);
__interrupt void epwm1_tzint_isr(void); // Protótipo da rotina de interrupção contra falha (trip zone)

void spi_init(void); // Inicializa SPI

uint16_t eilido =0, iLlido =0, vclido=0, iolido=0, barramento_lido=0; //Inicializa variáveis de leitura dos ADC's
uint16_t cont_main, pos_ei=0, pos_erro=0, releDC, releExt, vent, onda_aux, teste_cmpa =0; // Inicializa as
variáveis auxiliares

//Barramento
_iq barramento_dc = _IQ(0);

//SPI - Inicializa as variáveis do SPI
uint16_t spiaux=0, teste=0;
uint16_t eo_da=0, barramento_dc_da, iL_da, iref_da, erro_i_da, onda_spiA, onda_spiB, SaidaPII_da, iL_da,
iref_iL,vc_90d_da, vc_da, Pdroop_da, Qdroop_da, Conecta;

_iq vcpico = _IQ(0);

//Constantes IQ

_iq pix2 = _IQmpyl32(_IQ(3.141592653589793),2); // Pi na base IQ

//Variáveis IQ

_iq Ttotal= _IQ(0);
_iq ei= _IQ(0); //Tensão da rede
_iq iL= _IQ(0); //Corrente no indutor do inversor
_iq io= _IQ(0); //Corrente de saída do inversor
_iq vc= _IQ(0); //Tensão no capacitor do inversor
_iq aux[256]={0}; //Vetor para observar as curvas por graph window
_iq20 Pativa[256]={0}; //Vetor para observar as curvas por graph window
_iq Ts = _IQ(0.00006510416); //Tempo de amostragem

//IQ - PLL

```

```

_iq pref=_IQ(0); //Potência de referência
_iq erro_P=_IQ(0); //Erro da potência
_iq pint=_IQ(0); //Ação PI para cálculo da potência estimada
_iq pint_sat=_IQ(0); //Ação PI para cálculo da potência estimada saturada
_iq pintmk=_IQ(0); //Ação anterior do PI para cálculo da potência estimada
_iq SaidaPI=_IQ(0); //Saída do PI
_iq thetak=_IQ(0); //Theta
_iq thetamk=_IQ(0); //Theta anterior
_iq eo=_IQ(0); //Tensão de referência
_iq w_est=_IQ(0); //Velocidade angular estimada
_iq w_est_1=_IQ(0); //Velocidade angular estimada

//Filtro PLL - CCS

_iq p_est_in22=_IQ(0); //Potência ativa estimada na base IQ22
_iq p_est=_IQ(0); //Potência ativa estimada
_iq30 p_est_in30=_IQ(0); //Potência ativa estimada na base IQ30
_iq30 p_est_filtro=_IQ(0); //Potência ativa estimada após passar no filtro de primeira ordem

//Parâmetros PLL
_iq KiPLLTs=_IQ(0.2344), wffPLL=_IQ(377); //Ganho integral vezes tempo de amostragem, frequência de
feedforward (60Hz)
uint16_t KpPLL= 160; //Ganho proporcional do PLL

//Método droop
_iq ajusteDC = _IQ(0.0082222); //1.476V/180V => Ajuste DC normalizado

//kp e kv
_iq20 kp = _IQ20(0.001884955592153876); //Ganho do método droop
_iq20 kv = _IQ20(0.006); // Ganho do método droop = 0.006 (5%)/180=3.3333e-05 => normalização realizada no
cálculo de E
_iq20 kv_n = _IQ20(0); // Ganho kv normalizado

// Filtro de quarta ordem
//_iq vcxio_est = _IQ(0); //Saída do filtro de quarta ordem => Tensão Vc x io estimada
_iq vcxio = _IQ(0); //Tensão Vc x io
_iq vcxio_22 = _IQ(0); //Tensão Vc x io na base IQ 22
_iq vcxio_22_90d = _IQ(0); //Tensão Vc x io na base 22 -> com vc defasado 90°
_iq vcxio_est_90d = _IQ(0); //Tensão Vc x io estimado-> com vc defasado 90°
_iq vcxio_90d= _IQ(0); //Tensão Vc x io -> com vc defasado 90°

//Defasagem de 90° em vc
uint16_t posvc90d = 0;
uint16_t posvc = 0;
_iq vc_90d[64] = {0}; //Vetor com Vc defasado de 90° -> 256/4 = 90°

//Malha de tensão
_iq erro_V = _IQ(0); //Erro de tensão
_iq E = _IQ(1); //Amplitude E da tensão do controle droop
_iq e0 = _IQ(0.9664); // Offset da tensão
_iq w0 = _IQ(377.9336); // Offset da frequência 377.9336 => 0.25% => 500W : wreal =1.0045w (15360/15290) =>
379.6638
_iq iref=_IQ(0); //Corrente de referência
_iq iint = _IQ(0); //Ação integral da malha de tensão
_iq iintmk = _IQ(0); //Ação anterior do PI da malha de tensão
_iq KivxTs = _IQ(0); //Ação integral x tempo de amostragem => Integrador da malha de tensão
_iq TestePIv = _IQ(0);
_iq Kpv = _IQ(0); //Ganho proporcional da malha de tensão
_iq Vref = _IQ(0);
_iq Fase = _IQ(0); //Fase

```

```

uint16_t stepFase= 0;

//Malha de corrente
_iq erro_i = _IQ(0); //Erro da corrente
_iq Kpi = _IQ(0); // _IQ(0.01); //Ganho proporcional da malha de corrente
_iq cmpa = _IQ(0); //CMPA calculado
uint16_t cmpa_pwm_sat = 0; // CMPA enviado para controle do PWM (saturado)
_iq TestePIi = _IQ(0);

// Potências
//Potência ativa
_iq20 Pdroop = _IQ20(0);
_iq20 Pdroop_iq20 = _IQ20(0);
_iq30 Pdroop_est = _IQ30(0);

//Potência reativa
_iq20 Qdroop = _IQ(0);
_iq20 Qdroop_iq20= _IQ20(0);
_iq30 Qdroop_est_90d = _IQ30(0);

//Degrau para teste do PI
_iq Degrauref = _IQ(0); // Degrau para teste de desempenho do PI da malha de corrente
_iq DegrauVref = _IQ(0); // Degrau para teste de desempenho do PI da malha de tensão
uint16_t AntiWindup=0;

//Controle M.A
_iq Vdc_media= _IQ(0);
_iq Vdc = _IQ(0);
uint16_t Calc_media = 0;

//Acionamento do sistema

uint16_t startPWM; // Variável auxiliar para permitir PWM iniciar

//Variável de teste
_iq20 Qdroop_emulado=_IQ(0); // TIRAR

// Declara os handles globais
CLK_Handle myClk;
FLASH_Handle myFlash;
GPIO_Handle myGpio;
PIE_Handle myPie;
PWM_Handle myPwm1;
PWM_Handle myPwm2;
ADC_Handle myAdc;
CPU_Handle myCpu;
SPI_Handle mySpi;

PWM_Obj *pwm;

int main(void)
{
    //Variáveis de seleção
    onda_aux=3; //Controla qual informação vai aparecer no gráfico do code composer
    pos_ei=0; //Determina a posição do vetor AUX utilizado para criação dos gráficos do CCS
    releDC=0; //Determina o estado do relé de conexão do barramento DC. 1=fechado, 0=aberto
    releExt=0; //Determina o estado do relé de conexão com a rede. 1=fechado, 0=aberto
    Conecta=0; //Permite realização do paralelismo
    vent=0; //Determina o estado do ventilador do inversor. 1=ligado, 0=desligado
    cont_main=0; // Variável auxiliar para contagem de inicializações na main - para não inicializar
    novamente sem necessidade

```

```

//PLLouDroop=0; //Seleciona PLL ou droop
TestePli=_IQ(0);
TestePiv=_IQ(0);

//SPI
spiaux=0, teste=0; //Controle de qual das 4 saída(A1,A2,B1 ou B2) vai ser enviada para o SPI
onda_spiA=10, onda_spiB=8; //Variáveis de controle que definem qual das variáveis abaixo está
presente na saída da conversão D/A

//Declaração de valores para as variáveis auxiliares
iref_iL=0, vcpico=_IQ(0.5);

startPWM=0;

// Variáveis que vão receber os valores das respectivas "variáveis" da convertidos para valores dentro
da faixa de conversão D/A
eo_da=0, barramento_dc_da=0, iL_da=0, iref_da=0, erro_i_da=0, SaidaPli_da=0, iL_da=0;

Vdc_media = _IQ(0); // Armazena o valor da média da tensão do barramento DC

ajusteDC = _IQ(0.01999998093); //1.74V/180V - Ajuste do nível DC

kv_n = _IQ20mpy(kv, _IQ20(0.00785674)); // kv*sqrt(2)/180 = kv*0.00785674 - kv normalizado

Degrauref = _IQ(0); //Degrau para teste do desempenho do PI da malha de corrente
DegrauVref = _IQ(0); //Degrau para teste do desempenho do PI da malha de tensão

Fase = _IQ(0.0349); //+2° -> Perturbação de fase

Kpi = _IQ(0.02); // Ganho proporcional da malha de corrente
KivxTs = _IQ(9.76); //150k/15360 - Ganho integral da malha de tensão
Kpv = _IQ(50); //Ganho proporcional da malha de tensão

//Variável temporária
Qdroop = _IQ20(0);

// Declara handles locais
PLL_Handle myPll;
WDOG_Handle myWDog;

// Inicializa os handles
myClk = CLK_init((void *)CLK_BASE_ADDR, sizeof(CLK_Obj));
myCpu = CPU_init((void *)NULL, sizeof(CPU_Obj));
myFlash = FLASH_init((void *)FLASH_BASE_ADDR, sizeof(FLASH_Obj));
myGpio = GPIO_init((void *)GPIO_BASE_ADDR, sizeof(GPIO_Obj));
myPie = PIE_init((void *)PIE_BASE_ADDR, sizeof(PIE_Obj));
myPll = PLL_init((void *)PLL_BASE_ADDR, sizeof(PLL_Obj));

myPwm1 = PWM_init((void *)PWM_ePWM1_BASE_ADDR, sizeof(PWM_Obj));
pwm = (PWM_Obj *)myPwm1;

myWDog = WDOG_init((void *)WDOG_BASE_ADDR, sizeof(WDOG_Obj));
myAdc = ADC_init((void *)ADC_BASE_ADDR, sizeof(ADC_Obj));
mySpi = SPI_init((void *)SPIA_BASE_ADDR, sizeof(SPI_Obj));

// Executa a inicialização básica do sistema:
WDOG_disable(myWDog);
CLK_enableAdcClock(myClk); // Habilita o clock do ADC
CLK_enableSpiaClock(myClk);
(*Device_cal)();

```

```

CLK_enableCrystalOsc (myClk);
PLL_enableOsc (myPll);
CLK_disableClkIn(myClk); //Configuração do registro CLKCTL
CLK_enableCrystalOsc(myClk);
CLK_setOsc2Src(myClk, CLK_Osc2Src_External);

//Seleciona o Oscilador externo como fonte de Clock
CLK_setOscSrc(myClk, CLK_OscSrc_External);

// Coloca o multiplicador da PLL por 6(seis) e o divisor por 1(um) que gera (10MHz*6)/1 = 60MHz
PLL_setup(myPll, PLL_Multiplier_10, PLL_DivideSelect_ClkIn_by_2);
// Desabilita a PIE e todas as interrupções
PIE_disable(myPie);
PIE_disableAllInts(myPie);
CPU_disableGlobalInts(myCpu);
CPU_clearIntFlags(myCpu);

// [Usado no modo de configuração "FLASH" do CC] Copia funções da RAM para a RAM:
#ifdef _FLASH
    memcpy(&RamfuncsRunStart, &RamfuncsLoadStart, (size_t)&RamfuncsLoadSize);
    FLASH_setup(myFlash);
#endif

// Configura a tabela de vetores do modo DEBUG e habilita a PIE:
PIE_setDebugIntVectorTable(myPie); // *Somente no modo de configuração DEBUG
PIE_enable(myPie);

// Configura a rotina de interrupção do ADCINT1 na PIE:
PIE_registerPieIntHandler(myPie, PIE_GroupNumber_10, PIE_SubGroupNumber_1, (intVec_t)&adc_isr);
PIE_registerPieIntHandler(myPie, PIE_GroupNumber_3, PIE_SubGroupNumber_1,
(intVec_t)&epwm1_timer_isr);
PIE_registerPieIntHandler(myPie, PIE_GroupNumber_6, PIE_SubGroupNumber_1,
(intVec_t)&spiRxFifoIsr);
PIE_registerPieIntHandler(myPie, PIE_GroupNumber_6, PIE_SubGroupNumber_2,
(intVec_t)&spiTxFifoIsr);

// Interrupt SPI
PIE_enableInt(myPie, PIE_GroupNumber_6, PIE_InterruptSource_SPIARX);
PIE_enableInt(myPie, PIE_GroupNumber_6, PIE_InterruptSource_SPIATX);
CPU_enableInt(myCpu, CPU_IntNumber_6);

// Enable EPWM INTn in the PIE: Group 3 interrupt 1-6
PIE_enablePwmInt(myPie, PWM_Number_1);
//PIE_enablePwmTzInt(myPie, PWM_Number_1); // Trip zone

// Enable CPU INT3 which is connected to EPWM1-6 INT
CPU_enableInt(myCpu, CPU_IntNumber_3);

// Inicialização do Filtro IIR - PLL
iir.dbuffer_ptr = dbuffer;
iir.coeff_ptr = (long *)coeff;
iir.qfmat = IIR32_LPF_QFMAT;
iir.nbiq = IIR32_LPF_NBIQ;
iir.isf = IIR32_LPF_ISF;
iir.init(&iir);

// Inicialização do Filtro IIR - DROOP
iir_droop.dbuffer_ptr = dbuffer_droop;
iir_droop.coeff_ptr = (long *)coeff_droop;
iir_droop.qfmat = IIR32_LPF_QFMAT_droop;
iir_droop.nbiq = IIR32_LPF_NBIQ_droop;
iir_droop.isf = IIR32_LPF_ISF_droop;

```

```

iir_droop.init(&iir_droop);

//Inicialização do Filtro IIR - DROOP
iir_droop_2.dbuffer_ptr      = dbuffer_droop_2;
iir_droop_2.coeff_ptr       = (long *)coeff_droop;
iir_droop_2.qfmat           = IIR32_LPF_QFMAT_droop;
iir_droop_2.nbiq           = IIR32_LPF_NBIQ_droop;
iir_droop_2.isf            = IIR32_LPF_ISF_droop;
iir_droop_2.init(&iir_droop_2);

// Chamam as rotinas de configuração
InitEPwmTimer(); //Inicializa as configurações do PWM
InitAdc(); //Inicializa os ADCs
spi_init(); //Inicializa as SPIs
InitGpio(); //Inicializa as GPIOs

for(;;) // Aguarda as interrupções
{
    if (barramento_dc > _IQ(490)) // Abre relé DC se tensão for maior que 490V
    {
        releDC=0;
    }
    if (releDC==0)
    {
        EALLOW; // Desabilita PWM
        pwm->TZFRC |=0x0004 ;
        EDIS;
        GPIO_setLow(myGpio, GPIO_Number_17); // Abre relé externo
        //DELAY_US(100000); //100m segundos

        vent=0;
        startPWM=0;
        Conecta =0;
        releExt=0;

        GPIO_setLow(myGpio, GPIO_Number_19); // Abre o relé do barramento c.c.
        //DELAY_US(100000); // Delay de 100ms
        GPIO_setLow(myGpio, GPIO_Number_7); // Desliga ventilador
    }
    else // Relé DC=1
    {
        if(cont_main==0)
        {
            GPIO_setHigh(myGpio, GPIO_Number_19); //relé do DC+
            CPU_enableGlobalInts(myCpu); // Habilita a interrupção global INTM (ver
            CPU_enableDebugInt(myCpu); // Habilita a interrupção global do modo de
            cont_main=1;
        }
        else // Já mandou fechar relé DC e habilitou interrupções
        {
            /*if(releDC==1) // Confirma se releDC=1 -> Evita ativação do PWM se
            tripzone de hardware ocorrer após o teste do topo do loop
            {
                EALLOW; // Reativa PWM
                pwm->TZCLR |=0x0004 ;
                EDIS;
            }*/
            GPIO_setHigh(myGpio, GPIO_Number_19); //relé do DC+ - CONFERIR SE

```

PRECISA

```

        if(releExt==0)
        {
            GPIO_setLow(myGpio, GPIO_Number_17); // Abre relé externo
            EALLOW; // Desabilita PWM
            pwm->TZFRC |=0x0004 ;
            EDIS;
            startPWM=0;
            Conecta =0;
        }
        else //releExt=1
        {
            if(cont_main == 1){
                GPIO_setHigh(myGpio, GPIO_Number_17); // Fecha relé

                // START PWM na 1a vez
                if(startPWM==1){
                    EALLOW; // Ativa PWM
                    pwm->TZCLR |=0x0004 ;
                    EDIS;
                    cont_main =2;
                }
                else
                {
                    EALLOW; // Desabilita PWM
                    pwm->TZFRC |=0x0004 ;
                    EDIS;
                    cont_main =1;
                }
            }
        }
        if(vent==0)
        {
            GPIO_setLow(myGpio, GPIO_Number_7); // Desliga ventilador
        }
        else
        {
            GPIO_setHigh(myGpio, GPIO_Number_7); // Liga ventilador
        }
    }
}

// Rotina de configuração do ePWM
void InitEPwmTimer(void)
{
    CLK_disableTbClockSync(myClk); // Desabilita o clock de todos os TBs
    CLK_enablePwmClock(myClk, PWM_Number_1); // Habilita o clock de ePWM3

    // Trip Zone
    // Enable TZ1 as one shot trip sources
    PWM_enableTripZoneSrc(myPwm1, PWM_TripZoneSrc_OneShot_TZ1_NOT);
    PWM_setTripZoneState_TZA(myPwm1, PWM_TripZoneState_EPWM_Low); // PWM1A = 0, PWM1B =
    0 em caso de trip

    // Habilita interrupção TZ
    PWM_enableTripZoneInt(myPwm1, PWM_TripZoneFlag_OST);
}

```

```

//PWM_enableTripZoneInt(myPwm2, PWM_TripZoneFlag_OST);
//PWM_enableTripZoneInt(myPwm1, PWM_TripZoneFlag_DCAEVT1);

// Configurações do bloco TB
PWM_setPeriod(myPwm1, PWM1_TIMER_TBPRD); //Define o período com base na definição no
escopo
PWM_setCounterMode(myPwm1, PWM_CounterMode_UpDown); // Define contagem prog. e regres.
// Configurações do bloco CC
PWM_setCmpA(myPwm1, 0); // Define o valor 0 a ser comparado com o contador. Este valor será
posteriormente substituído pela tensão medida
// Configurações do bloco AQ; Notem que as saídas EPWM1A e EPWM1B foram configuradas para
serem complementares. Poderíamos utilizar o bloco Dead-Band para configurar saídas complementares.
PWM_setActionQual_CntUp_CmpA_PwmA(myPwm1, PWM_ActionQual_Clear); // Leva o nível lógico
de EPWM1A a 0 quando, na contagem progressiva, o valor de referência for igual ao contador
PWM_setActionQual_CntDown_CmpA_PwmA(myPwm1, PWM_ActionQual_Set); // Leva o nível
lógico de EPWM1A a 1 quando, na contagem regressiva, o valor de referência for igual ao contador
PWM_setActionQual_CntUp_CmpA_PwmB(myPwm1, PWM_ActionQual_Set); // Leva o nível lógico
de EPWM1B a 1 quando, na contagem progressiva, o valor de referência for igual ao contador
PWM_setActionQual_CntDown_CmpA_PwmB(myPwm1, PWM_ActionQual_Clear); // Leva o nível
lógico de EPWM1A a 0 quando, na contagem regressiva, o valor de referência for igual ao contador
PWM_enableSocAPulse(myPwm1); // Habilita a geração de pulsos para SOCs (grupo A)
PWM_setSocAPulseSrc(myPwm1, PWM_SocPulseSrc_CounterEqualPeriod); // Seleciona a condição para
geração do pulso. Nesse caso, o disparo ocorrerá quando o valor do contador da PWM for igual ao período
PWM_setSocAPeriod(myPwm1, PWM_SocPeriod_FirstEvent); // Define que o pulso será gerado no
primeiro evento

PWM_setIntMode(myPwm1, PWM_IntMode_CounterEqualPeriod); // Seleciona período para ocorrer
interrupção
PWM_enableInt(myPwm1);
PWM_setIntPeriod(myPwm1, PWM_IntPeriod_FirstEvent); // Gera interrupção no primeiro evento

// Active Low PWMs - Setup Deadband
PWM_setDeadBandOutputMode(myPwm1,
PWM_DeadBandOutputMode_EPWMxA_Rising_EPWMxB_Falling);
PWM_setDeadBandPolarity(myPwm1, PWM_DeadBandPolarity_EPWMxB_Inverted);
PWM_setDeadBandInputMode(myPwm1, PWM_DeadBandInputMode_EPWMxA_Rising_and_Falling);
PWM_setDeadBandRisingEdgeDelay(myPwm1, 38); // 30 = 1us, 37.5 = 1.25us, 45 = 1.5us, 60 = 2us
PWM_setDeadBandFallingEdgeDelay(myPwm1, 38); // 30 = 1us, 37.5 = 1.25us, 45 = 1.5us, 60 = 2us

CLK_enableTbClockSync(myClk); //Habilita clock de todos os TB
}

// Configuração do ADC
void InitAdc(void)
{
// Inicialização básica do ADC:
ADC_enableBandGap(myAdc); // Habilita o circuito da tensão de referência
ADC_enableRefBuffers(myAdc); // Habilita o buffer do circuito de referência
ADC_powerUp(myAdc); // Energiza os circuitos do ADC (ver tópico Power Up Sequence em **)
ADC_enable(myAdc); // Habilita o ADC (ver tópico Power Up Sequence em **)
ADC_setVoltRefSrc(myAdc, ADC_VoltageRefSrc_Int); // Seleciona a referência interna
PIE_enableAdcInt(myPie, ADC_IntNumber_1); // Habilita ADCINT1 na PIE
CPU_enableInt(myCpu, CPU_IntNumber_10); // Habilita CPU Interrupt 10 (grupo 10 da PIE -
PIE_GroupNumber_X -> CPU_IntNumber_X)

// Configuração do ADC
//OBS: O canal ADCINA2 será associado a dois SOCs para ser duplamente amostrado, como
workaround provido no documento [rev0 silicon errata]
ADC_setIntPulseGenMode(myAdc, ADC_IntPulseGenMode_Prior); //Configura o pulso da interrupção
ADCINT1 para ocorrer no fim da conversão
ADC_enableInt(myAdc, ADC_IntNumber_1); //Habilita a interrupção ADCINT1

```

```

    ADC_setIntMode(myAdc, ADC_IntNumber_1, ADC_IntMode_ClearFlag); //Seleciona ADCINT1 para o
modo Clear Flag (uma nova interrupção não pode ser gerada enquanto o flag não for resetado)
    ADC_setIntSrc(myAdc, ADC_IntNumber_1, ADC_IntSrc_EOC5); //Configura EOC1 (associado a SOC1)
para disparar ADCINT4

    // Define SOC para seu respectivo ADC
    ADC_setSocChanNumber (myAdc, ADC_SocNumber_0, ADC_SocChanNumber_A2); // SOC 0 é
descartado devido a falha de conversão do ADC
    ADC_setSocChanNumber (myAdc, ADC_SocNumber_1, ADC_SocChanNumber_A2); // ei -> J1 A2 pino
8
    ADC_setSocChanNumber (myAdc, ADC_SocNumber_2, ADC_SocChanNumber_B2); // vc -> J2 B2 pino 9
    ADC_setSocChanNumber (myAdc, ADC_SocNumber_3, ADC_SocChanNumber_A0); // io -> J5 A0 pino
16
    ADC_setSocChanNumber (myAdc, ADC_SocNumber_4, ADC_SocChanNumber_A3); // iL -> J5 A3 pino
14
    ADC_setSocChanNumber (myAdc, ADC_SocNumber_5, ADC_SocChanNumber_B7); // v barramento
c.c.-> J5 19

    //Define EPWM responsável por disparar os SOC
    ADC_setSocTrigSrc(myAdc, ADC_SocNumber_0, ADC_SocTrigSrc_EPWM1_ADCSOCA); //seleciona
EPWM1A para disparar SOC0 (devido ao round-robin, SOC0 é amostrado antes de SOC1
    ADC_setSocTrigSrc(myAdc, ADC_SocNumber_1, ADC_SocTrigSrc_EPWM1_ADCSOCA); //seleciona
EPWM1A para disparar SOC1 (devido ao round-robin, SOC1 é amostrado antes de SOC2
    ADC_setSocTrigSrc(myAdc, ADC_SocNumber_2, ADC_SocTrigSrc_EPWM1_ADCSOCA); //seleciona
EPWM1A para disparar SOC2 (devido ao round-robin, SOC2 é amostrado antes de SOC3
    ADC_setSocTrigSrc(myAdc, ADC_SocNumber_3, ADC_SocTrigSrc_EPWM1_ADCSOCA); //seleciona
EPWM1A para disparar SOC3 (devido ao round-robin, SOC3 é amostrado antes de SOC4
    ADC_setSocTrigSrc(myAdc, ADC_SocNumber_4, ADC_SocTrigSrc_EPWM1_ADCSOCA); //seleciona
EPWM1A para disparar SOC5 (devido ao round-robin, SOC4 é amostrado antes de SOC5
    ADC_setSocTrigSrc(myAdc, ADC_SocNumber_5, ADC_SocTrigSrc_EPWM1_ADCSOCA); //seleciona
EPWM1A para disparar SOC0 (devido ao round-robin, SOC5 é amostrado antes de SOC0

    ADC_setSocSampleWindow(myAdc, ADC_SocNumber_0, ADC_SocSampleWindow_7_cycles);
//seleciona a sample windows de SOC0 para 7 ciclos de clock, (6 ACQPS + 1)
    ADC_setSocSampleWindow(myAdc, ADC_SocNumber_1, ADC_SocSampleWindow_7_cycles);
//seleciona a sample windows de SOC1 para 7 ciclos de clock, (6 ACQPS + 1)
    ADC_setSocSampleWindow(myAdc, ADC_SocNumber_2, ADC_SocSampleWindow_7_cycles); //seleciona
a sample windows de SOC2 para 7 ciclos de clock, (6 ACQPS + 1)
    ADC_setSocSampleWindow(myAdc, ADC_SocNumber_3, ADC_SocSampleWindow_7_cycles); //seleciona
a sample windows de SOC3 para 7 ciclos de clock, (6 ACQPS + 1)
    ADC_setSocSampleWindow(myAdc, ADC_SocNumber_4, ADC_SocSampleWindow_7_cycles); //seleciona
a sample windows de SOC4 para 7 ciclos de clock, (6 ACQPS + 1)
    ADC_setSocSampleWindow(myAdc, ADC_SocNumber_5, ADC_SocSampleWindow_7_cycles); //seleciona
a sample windows de SOC4 para 7 ciclos de clock, (6 ACQPS + 1)
}

    // Configuração do GPIO
    void InitGpio(void)
    {
        //Define os pinos no modo ePWM1, que recebe o nível lógico proveniente das saídas dos módulos
ePWM1A e ePWM1B
        GPIO_setMode(myGpio, GPIO_Number_0, GPIO_Mode_EPWM1A);
        GPIO_setMode(myGpio, GPIO_Number_1, GPIO_Mode_EPWM1B);

        // SPI
        GPIO_setPullUp(myGpio, GPIO_Number_16, GPIO_PullUp_Enable);
        GPIO_setPullUp(myGpio, GPIO_Number_18, GPIO_PullUp_Enable);
        GPIO_setQualification(myGpio, GPIO_Number_16, GPIO_Qual_ASync);
        GPIO_setQualification(myGpio, GPIO_Number_18, GPIO_Qual_ASync);
        GPIO_setMode(myGpio, GPIO_Number_16, GPIO_Mode_SPISIMOA);
        GPIO_setMode(myGpio, GPIO_Number_18, GPIO_Mode_SPICLKA);
    }

```

```

GPIO_setPullUp(myGpio, GPIO_Number_32, GPIO_PullUp_Enable); // CS1
GPIO_setPullUp(myGpio, GPIO_Number_33, GPIO_PullUp_Enable); // CS2

GPIO_setPullUp(myGpio, GPIO_Number_32, GPIO_PullUp_Enable);
GPIO_setLow(myGpio, GPIO_Number_32);
GPIO_setMode(myGpio, GPIO_Number_32, GPIO_32_Mode_GeneralPurpose);
GPIO_setDirection(myGpio, GPIO_Number_32, GPIO_Direction_Output);

GPIO_setPullUp(myGpio, GPIO_Number_33, GPIO_PullUp_Enable);
GPIO_setLow(myGpio, GPIO_Number_33);
GPIO_setMode(myGpio, GPIO_Number_33, GPIO_33_Mode_GeneralPurpose);
GPIO_setDirection(myGpio, GPIO_Number_33, GPIO_Direction_Output);

// Divide o clock por 4, assim no GPIO18 a frequência deve ser 15MHz
CLK_setClkOutPreScaler(myClk, CLK_ClkOutPreScaler_SysClkOut_by_4);

// Pino referente ao status do relé do barramento c.c.
GPIO_setLow(myGpio, GPIO_Number_19);
GPIO_setMode(myGpio, GPIO_Number_19, GPIO_19_Mode_GeneralPurpose);
GPIO_setDirection(myGpio, GPIO_Number_19, GPIO_Direction_Output);

// Pino referente ao status do relé responsável pelo paralelismo
GPIO_setLow(myGpio, GPIO_Number_17);
GPIO_setMode(myGpio, GPIO_Number_17, GPIO_17_Mode_GeneralPurpose);
GPIO_setDirection(myGpio, GPIO_Number_17, GPIO_Direction_Output);

// Pino referente ao status do ventilador
GPIO_setLow(myGpio, GPIO_Number_7);
GPIO_setMode(myGpio, GPIO_Number_7, GPIO_7_Mode_GeneralPurpose);
GPIO_setDirection(myGpio, GPIO_Number_7, GPIO_Direction_Output);
}

// Rotina de interrupção do ePWM1
__interrupt void epwm1_timer_isr(void)
{
    if (releDC==1) // Atualiza o valor do cmpa se releDC=1
    {
        PWM_setCmpA(myPwm1, cmpa_pwm_sat);
    }

    // Limpa o flag myPWM1
    PWM_clearIntFlag(myPwm1);
    // Reconhece está interrupção para receber mais interrupções do grupo 3
    PIE_clearInt(myPie, PIE_GroupNumber_3);
}

// Rotina de interrupção do ADC
__interrupt void adc_isr(void)
{
    if (pos_ei>255) // Incrementa posições do vetor auxiliar "aux", o qual possibilita visualização gráfica das
    curvas desejadas
        pos_ei=0;
    else
        pos_ei++;

    switch (onda_aux) // Seleciona curva desejada a ser visualizada na graph window do CCS
    {
        case 1:
            aux [pos_ei] = eo; // Tensão sincronizada com a rede
    }
}

```

```

    break;
    case 2:
        aux [pos_ei] = iref; // Corrente de referência
    break;
    case 3:
        aux [pos_ei] = iL; // Corrente no indutor do inversor
    break;
    case 4:
        aux [pos_ei] = vc; // Tensão de saída do inversor
    break;
    case 5:
        aux [pos_ei] = io; // Corrente de saída do inversor
    break;
    case 6:
        aux [pos_ei] = (long)cmpa_pwm_sat; // cmpa calculado
    break;
    case 7:
        aux [pos_ei] = erro_V; // Erro da tensão
    break;
    case 8:
        aux [pos_ei] = Vref; // Degrau na tensão de referência
    break;
    case 9:
        Pativa [pos_ei] = Pdroop; // Potência ativa estimada pelo método droop
    break;
    case 10:
        Pativa [pos_ei] = Qdroop; // Potência reativa estimada pelo método droop
    break;
    case 11:
        aux [pos_ei] = barramento_dc; // Tensão do barramento DC
    break;
    case 12:
        aux [pos_ei] = E; // Amplitude da tensão de referência
    break;
    case 13:
        aux [pos_ei] = w_est; // frequência estimada
    break;
}

//Devemos descartar o meu_randomtado da primeira conversão (SOC0) devido ao workaround de
[rev0 silicon errata]:
eilido = ADC_readResult(myAdc, ADC_ResultNumber_1); // Recebe ei - pino 8
ei = _IQmpyI32(_IQ(5.4614964500273075e-4), eilido) - _IQ(1.127799016930638995); // ei normalizado para
medida diferencial

vclido = ADC_readResult(myAdc, ADC_ResultNumber_2); // Recebe vc - pino 9
vc = _IQmpyI32(_IQ(0.00055833378), vclido) + _IQ(-1.133169795424); // vc normalizado para medida
diferencial

iolido = ADC_readResult(myAdc, ADC_ResultNumber_3); // Recebe io - pino 26
io = _IQmpyI32(_IQ(0.00054), iolido) - _IQ(1.10538); // io normalizado para medida diferencial

iLlido = ADC_readResult(myAdc, ADC_ResultNumber_4); // Recebe iL - pino 24
iL = _IQmpyI32(_IQ(0.0238), iLlido) - _IQ(52.496); // iL normalizado l

barramento_lido=ADC_readResult(myAdc, ADC_ResultNumber_5); // Recebe tensão do barramento
barramento_dc=_IQmpyI32(_IQ(0.1361572265625), barramento_lido) - _IQ(13); // Tensão do
barramento c.c.

if (startPWM == 0) //PLL
{

```

```

erro_P = pref - p_est; // Erro da potência ativa

pint = _IQmpy(erro_P, KiPLLxTs) + pintmk; // Ação PI
pint_sat = _IQsat(pint, _IQ(40), _IQ(-40)); // Ação PI saturada
pintmk = pint_sat; // Ação PI anterior
SaidaPI = _IQmpyI32(erro_P, KpPLL) + pint; // Saída do PI

w_est = SaidaPI + wffPLL; // Frequência estimada

p_est_in22 = _IQmpy(ei, IQsin(thetak)); // Potência ativa estimada na base IQ 22
p_est_in30 = _IQtoIQ30(p_est_in22); // Potência ativa estimada na base IQ 30

iir.input = p_est_in30; // Entrada do filtro IIR (entrada deve ser na base 31)
iir.calc(&iir); // Realiza cálculos
p_est_filtro = iir.output32; // Saída do filtro -> potência ativa estimada na base IQ 30
p_est = _IQ30toIQ(_IQmpy2(p_est_filtro)); // Potência estimada -> Saída do filtro IIR de quarta
ordem
}
else // Método droop
{

//***** Início do cálculo da potência ativa pelo método droop
*****//

vcxio_22 = _IQmpy(io, vc); // vc x io

iir_droop.input = _IQtoIQ30(vcxio_22); // Entrada do filtro IIR - (iir.calc espera entrada em
Q31)
iir_droop.calc(&iir_droop); // Realiza cálculos

Pdroop_est = iir_droop.output32; // Saída do filtro de primeiro ordem -> vc x io estimado

Pdroop_iq20 = _IQtoIQ20(_IQ30toIQ(Pdroop_est));

Pdroop = _IQ20mpyI32(Pdroop_iq20, 7200); // 7200 = 2*180V*20A
w_est = w0 - _IQ20toIQ(_IQ20mpy(Pdroop, kp));

//***** Início do cálculo da potência reativa pelo método droop
*****//

if (posvc90d < 64) // Efetua defasagem de Vc em 90°
{
    vc_90d[posvc90d] = vc; // Vc defasado de 90°
    posvc90d++; // Posição do vetor Vc defasado
}
if (posvc90d > 63) // Atualiza vetor Vc defasado -> Mantendo defasagem de 90°
{
    for (posvc=1; posvc < 64; posvc++)
    {
        vc_90d[posvc-1] = vc_90d[posvc];
    }

    vc_90d[63] = vc;
    vcxio_22_90d = _IQmpy(io, vc_90d[0]);

iir_droop_2.input = _IQtoIQ30(vcxio_22_90d); // Entrada do filtro IIR (entra nada
base IQ31)
iir_droop_2.calc(&iir_droop_2); // Realiza cálculos
Qdroop_est_90d = iir_droop_2.output32; // Potência reativa estimada na base IQ30
Qdroop_iq20 = _IQtoIQ20(_IQ30toIQ(Qdroop_est_90d)); // Potência reativa na base
IQ20 - normalizada
Qdroop = _IQ20mpyI32(Qdroop_iq20, 7200); // 7200 = 2*180V*20A - Potência reativa

```

```

    }

    E = e0 - _IQ20toIQ(_IQ20mpy(Qdroop,kv_n)); // Amplitude da tensão de referência
}
//***** Cálculo de theta
//*****

thetak= _IQmpy(w_est,Ts) + thetamk; // Theta atual

if (stepFase==1) // Se stapFase=1, a fase do inversor é perturbada com "Fase"
{
    stepFase =0;
    thetak= thetak + Fase;
}

if (thetak >=pix2) //Limita valor de theta de 0 à 2pi
    thetak = thetak - pix2; //Theta atual - 2pi
thetamk = thetak; //Theta anterior = theta atual

if (Conecta==1)
{
    if ((thetak>_IQ(6.6)) || (thetak <_IQ(0.035))) // Aguarda passagem por zero (378° e 2°) if
    ((thetak>_IQ(1.5358897)) && (thetak <_IQ(1.6057029))) // aguarda passagem por zero +/- 2deg
        startPWM = 1;
}
else
{
    startPWM=0;
    cont_main=1;
}

eo= _IQmpy(E,_IQcos(thetak)); // Tensão de referência
eo_da = _IQ19int(_IQ19mpy(_IQtoIQ19(eo),_IQ19(2047.5)) + _IQ19(2047.5)); // eo convertido de
analogico para digital -> Usado no SPI

//***** Teste de desempenho do PI da malha de
tensão*****//
/* if (eo>_IQ(0))
    DegrauVref= _IQ(0.25);
else
    DegrauVref =_IQ(-0.25);

DegrauVref = _IQ(0.835); //Vc=150V
Vref = DegrauVref;
erro_V = Vref - vc; Erro da tensão
*/
//***** Malha de tensão
//*****

erro_V = eo + ajusteDC - vc; // Erro da tensão

TestePIv = _IQmpy(erro_V,Kpv) + _IQmpy(erro_V,KivxTs) + iintmk; // Variável auxiliar para anti-
windup

if ((TestePIv < _IQ(20)) && (TestePIv > _IQ(-20))) //Anti-Windup da malha de tensão
{
    //Controlador PI da malha de tensão
    iint = _IQmpy(erro_V,KivxTs) + iintmk; // Corrente atual
    iintmk= iint; // Corrente anterior
}

```

```

        iref = _IQmpy(erro_V,Kpv) + iint; // Corrente de referência
    }
    else
    {
        iref = _IQmpy(erro_V,Kpv)+ iintmk; // Corrente de referência
        AntiWindup=1;
    }

    iref = _IQsat(iref, _IQ(20), _IQ(-20)); // Saturação da corrente de referência entre -20 à 20A

//***** Teste de desempenho do PI da malha de corrente
***** //
/*    if (eo>_IQ(0))
        Degraufref= _IQ(10);
    else
        Degraufref = _IQ(-10);

    iref =  Degraufref;
*/
//***** Malha de corrente ***** //

    erro_i = iref - iL; // Erro da corrente

    TestePli = _IQmpy(erro_i,Kpi); //SaídaI + _IQmpy(erro_i,KiixTs) + _IQmpy(erro_i,Kpi); // Variável auxiliar para anti-windup

    if (TestePli < _IQ(1)) // Anti-windup da malha de corrente
    {
        if (TestePli > _IQ(-1))
        {
            //Controlador P da malha de corrente
            cmpa = _IQmpy(erro_i,Kpi); // + SaídaI; //Saída P da malha de corrente
        }
    }

    cmpa = _IQsat(cmpa + vc), _IQ(1), _IQ(-1)); // cmpa para controle do ciclo de trabalho do inversor

//***** Controle em malha aberta ***** //
/*
    if ((thetak> _IQ(6.6)) || (thetak < _IQ(0.035))) //if ((thetak> _IQ(1.54)) && (thetak < _IQ(1.61))) //
    360°/256 amostras = 1.4°/amostra --> 1.5708 = 90°, 1.54 = 88.2°,1.62 = 92.2° (garante a passagem próximo de 90°)
    {
        if (Calc_media==0)
        {
            Calc_media = 1;
            Vdc_media = _IQmpy(Vdc, _IQ(1.640625)); // Realiza a média de Vdc e retorna para escala real (multiplica por 440)

            vcpico = _IQmpy(_IQ(-1.857E-03), Vdc_media) + _IQ(1.654); // Amplitude do cmpa
            vcpico = _IQsat(vcpico, _IQ(0.9), _IQ(0.7));

            Vdc =0; // Zera a variável utilizada para o cálculo da média
        }
    }
    else
    {
        Vdc = Vdc + _IQmpy(barramento_dc, _IQ(0.0023895)); // Normaliza o barramento_dc (para não estourar na base 22) e armazena seu valor em Vdc para posteriormente ser utilizado para o cálculo da média do Vdc
        Calc_media = 0;
    }

```

```

    }

    cmpa = _IQmpy(eo.vcpico); //Malha aberta - Teste do PWM operando com 80% da faixa projetada (930
a 30) - usando vcpico para delimitar a amplitude máxima do cmpa
    */

    cmpa_pwm_sat = _IQ19int(_IQ19mpy(_IQtoIQ19(cmpa),_IQ19(490)) + _IQ19(490)); // cmpa inteiro para
controle do PWM (50 a 930)
    cmpa_pwm_sat = _IQsat(cmpa_pwm_sat, 930, 50); // cmpa saturada de 50 a 930

    // Inicia escrita nos DACs
    PIE_forceInt(myPie, PIE_GroupNumber_6, PIE_InterruptSource_SPIARX); // Força a interrupção do DAC

    // Limpa o flag de ADCINT1 para o próximo evento
    ADC_clearIntFlag(myAdc, ADC_IntNumber_1);

    // Limpa a interrupção no PIE
    PIE_clearInt(myPie, PIE_GroupNumber_10);
}

//Configuração da SPI
void spi_init(void)
{
    SPI_reset(mySpi);
    SPI_enable(mySpi);
    CLK_setLowSpdPreScaler2(myClk,CLK_LowSpdPreScaler_SysClkOut_by_1); // clk da SPI em 15MHz
    // Reset on, rising edge, 16-bit char bits
    SPI_setCharLength(mySpi, SPI_CharLength_16_Bits);
    //SPI_enableLoopBack(mySpi);
    SPI_setClkPolarity(mySpi, SPI_ClkPolarity_OutputFallingEdge_InputRisingEdge);
    //SPI_setClkPhase(mySpi, SPI_ClkPhase_Delayed);

    // Habilita modo mestre, fase normal,
    // permite comunicação e SPI int desativada
    SPI_setMode(mySpi, SPI_Mode_Master);
    SPI_enableTx(mySpi);
    SPI_enableOverRunInt(mySpi);
    SPI_enableInt(mySpi);

    SPI_setBaudRate(mySpi, (SPI_BaudRate_e1));
    SPI_setTriWire(mySpi, SPI_TriWire_ThreeWire);

    // Inicializa os registradores SPI FIFO
    SPI_enableFifoEnh(mySpi);
    SPI_enableChannels(mySpi);

    SPI_resetRxFifo(mySpi);
    SPI_setRxFifoIntLevel(mySpi, SPI_FifoLevel_1_Word);
    //SPI_setRxFifoIntLevel(mySpi, SPI_FifoLevel_Empty);
    SPI_enableRxFifoInt(mySpi);
    SPI_clearRxFifoInt(mySpi);

    SPI_setTxDelay(mySpi, 0);
    SPI_setPriority(mySpi, SPI_Priority_FreeRun);
    SPI_enable(mySpi);

    SPI_enableRxFifo(mySpi);
    SPI_disableTxFifoInt(mySpi);
}

```

```

//Interrupção da SPI -> Tx
__interrupt void spiTxFifoIsr(void)
{
    SPI_clearTxFifoInt(mySpi);
    PIE_clearInt(myPie, PIE_GroupNumber_6);

    return;
}

//Interrupção SPI -> Rx
__interrupt void spiRxFifoIsr(void)
{
    uint16_t i;
    GPIO_setHigh(myGpio, GPIO_Number_32);
    GPIO_setHigh(myGpio, GPIO_Number_33);
    if(spiaux == 0) // DAC1 canal A
    {
        GPIO_setLow(myGpio, GPIO_Number_32);

        switch (onda_spiA) // Seleciona a variável a ser mostrada via SPI
        {
            case 1:
                SPI_write(mySpi, ((eildo) | 0x7000)); // Tensão da rede
                break;
            case 2:
                SPI_write(mySpi, ((iLlido - 172) | 0x7000)); // Corrente no indutor do
                inversor
                break;
            case 3:
                SPI_write(mySpi, ((iolido) | 0x7000)); // Corrente de saída do inversor
                break;
            case 4:
                SPI_write(mySpi, ((barramento_lido) | 0x7000)); // Tensão no barramento
                c.c.
                break;
            case 5:
                SaidaPli_da = _IQ19int(_IQ19mpy(_IQtoIQ19(cmpa),_IQ19(2047.5)) +
                _IQ19(2047.5)); // Converte cmpa para ser mostrado via SPI
                SPI_write(mySpi, ((SaidaPli_da) | 0x7000)); // cmpa (saída do controlador da
                malha de corrente)
                break;
            case 6:
                SPI_write(mySpi, ((vclido) | 0x7000)); // Tensão de saída do inversor
                break;
            case 7:
                Pdroop_da =
                _IQ19int(_IQ19mpy(_IQtoIQ19(_IQ20toIQ(_IQ20mpy(Pdroop,_IQ20(6.666666666666666e-04))),_IQ19(2047.5)) +
                _IQ19(2047.5)); // Considerando Pdroo máx=1500W
                SPI_write(mySpi, ((Pdroop_da) | 0x7000)); // Potência ativa estimada pelo
                método droop
                break;
        }
        spiaux ++;
    }
    else if(spiaux == 1) // DAC1 canal B
    {
        GPIO_setLow(myGpio, GPIO_Number_32);
        switch (onda_spiB) // Seleciona a variável desejada a ser mostrada via SPI
        {
            case 1:
                SPI_write(mySpi, ((eo_da) | 0xF000)); // Tensão de referência
                break;

```

```

        case 2:
            iref_da = _IQ19int(_IQ19mpy(_IQtoIQ19(iref),_IQ19(102.4)) + _IQ19(2047.5));
//1V=20A -> Escala de 20x no osciloscópio
            SPI_write(mySpi, ((iref_da) | 0xF000)); // Corrente de referência
        break;
        case 3:
            erro_i_da = _IQ19int(_IQ19mpy(_IQtoIQ19(erro_i),_IQ19(102.4)) +
_IQ19(2047.5)); //1V=20A -> Escala de 20x no osciloscópio
            SPI_write(mySpi, ((erro_i_da) | 0xF000)); // Erro da corrente
        break;
        case 4:
            Vref = _IQ19int(_IQ19mpy(_IQtoIQ19(Vref),_IQ19(1800)) + _IQ19(2047.5));
//Considerando SaidaPli no máx = 1 : 1V=200V
            SPI_write(mySpi, ((Vref) | 0xF000));
        break;
        case 5:
            Qdroop_da =
_IQ19int(_IQ19mpy(_IQtoIQ19(_IQ20toIQ(_IQ20mpy(Qdroop,_IQ20(6.666666666666666e-04))),_IQ19(2047.5)) +
_IQ19(2047.5)); //Considerando Qdroop máx = 1500 Var
            SPI_write(mySpi, ((Qdroop_da) | 0xF000)); // Potência reativa estimada pelo
método droop
        break;
    }
    spiaux ++;
}
else if(spiaux == 2)// DAC2 canal A
{
    GPIO_setLow(myGpio, GPIO_Number_33);
    SPI_write(mySpi, ((eilido) | 0xF000)); // Tensão da rede
    spiaux ++;
}
else if(spiaux == 3)// DAC2 canal B
{
    GPIO_setLow(myGpio, GPIO_Number_33);
    SPI_write(mySpi, ((eo_da) | 0x7000)); // Tensão de referência
    spiaux ++;
}
else if(spiaux == 4)// Fechamento Canal B
{
    if(teste < 0xFFF) teste++;
    else teste = 0;
    spiaux =0;
}

i = SPI_read(mySpi);
SPI_clearRxFifoOvf(mySpi);
// Limpa flag da interrupção
SPI_clearRxFifoInt(mySpi);
PIE_clearInt(myPie, PIE_GroupNumber_6);
return;
}

__interrupt void epwm1_tzint_isr(void)
{
    releDC=0; // Força desligamento do relé DC no loop principal do main

    // Deixa o status da flag, o que faz com que esta interrupção ocorra somente uma vez
    // Reconhece esta interrupção para receber mais interrupções do grupo 2
    PIE_clearInt(myPie, PIE_GroupNumber_2);
}

void CLK_setLowSpdPreScaler2(CLK_Handle clkHandle, const CLK_LowSpdPreScaler_e preScaler)

```

```
{  
    return;  
} // end of CLK_setLowSpdPreScaler() function
```

APÊNDICE G

Testes do inversor

Nesta seção são mostrados os resultados obtidos com testes no inversor, o qual foi conectado em paralelo a um banco de resistores com valor variável. O circuito eletrônico deste inversor segue o esquema apresentado na Fig. 5.1 e possui os parâmetros presentes na Tabela 5.1, exceto a resistência série r_o do indutor, a qual é $r_o=50\text{ m}\Omega$ (3%), e a tensão do barramento c.c., a qual foi de 420 V. Já os dados do controlador são mostrados na Tabela G.1. O tempo morto do inversor foi igual a $1,25\text{ }\mu\text{s}$. A técnica PWM simétrica foi utilizada com $T_d=T_{pwm}$.

Tabela G.1. Parâmetros do Controlador

Parâmetro	Símbolo	Valor
Ganho proporcional da malha de corrente	k_{pi}	0,02
Ganho proporcional da malha de tensão	k_{pv}	50
Ganho integral da malha de tensão	k_{iv}	15×10^3
Ganho da ação <i>feedforward</i> da malha de tensão	k_{ff}	0,0

Defasagem de v_c

Para o cálculo da potência reativa Q , empregada no método *droop*, foi necessária a defasagem de 90° na fase da tensão v_c , a qual é lida no capacitor do filtro de saída do inversor. Esta defasagem foi realizada via *software* por meio de um vetor móvel e pode ser vista na Fig. G.1.

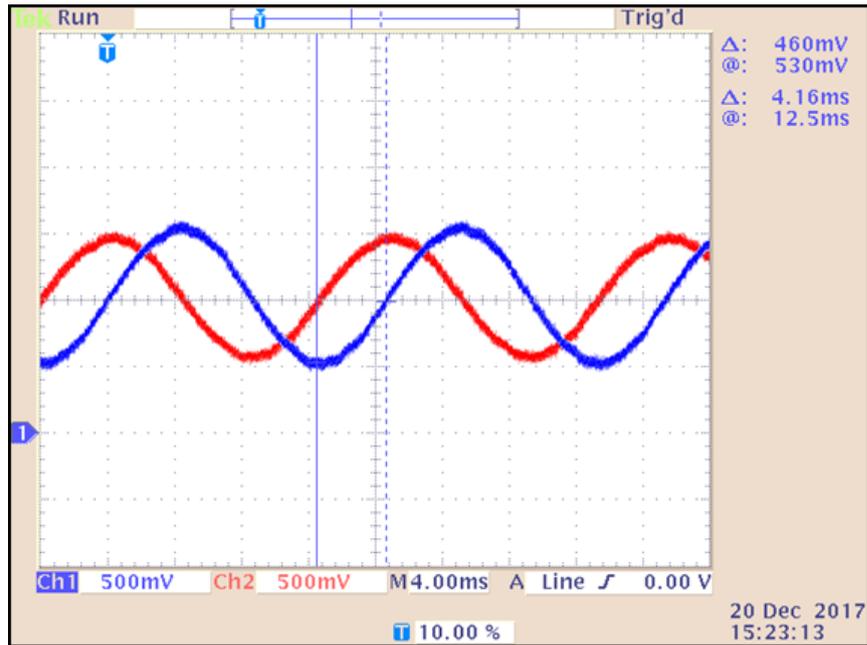


Fig. G.1 – Defasagem de 90° entre as curvas v_c original (CH2) e gerada (CH1). CH1: 180 V/div. CH2: 180 V/div

Tempo morto

O tempo morto do comando das chaves (transistores) do inversor foi ajustado em $1,25 \mu\text{s}$. A escolha deste tempo foi baseada no tempo de resposta do transistor, o qual é mostrado na Fig. 5.1. Já Fig. G.2 apresenta o resultado obtido utilizando a técnica PWM simétrica.

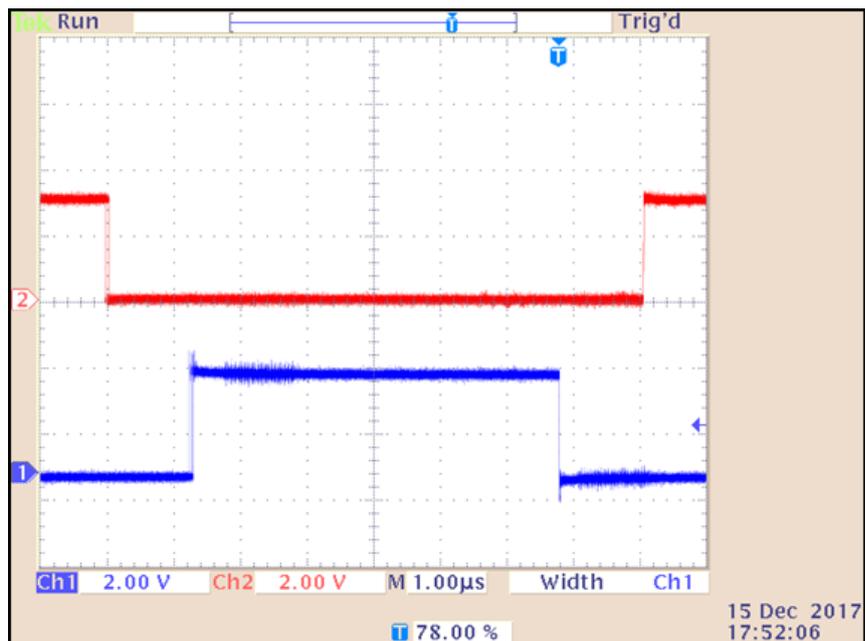
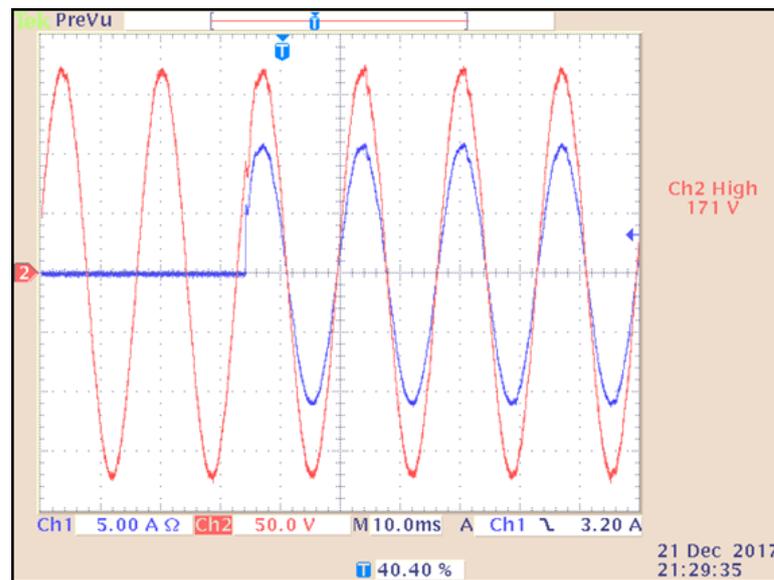


Fig. G.2 – Tempo morto de $1,25 \mu\text{s}$. Técnica PWM simétrica.

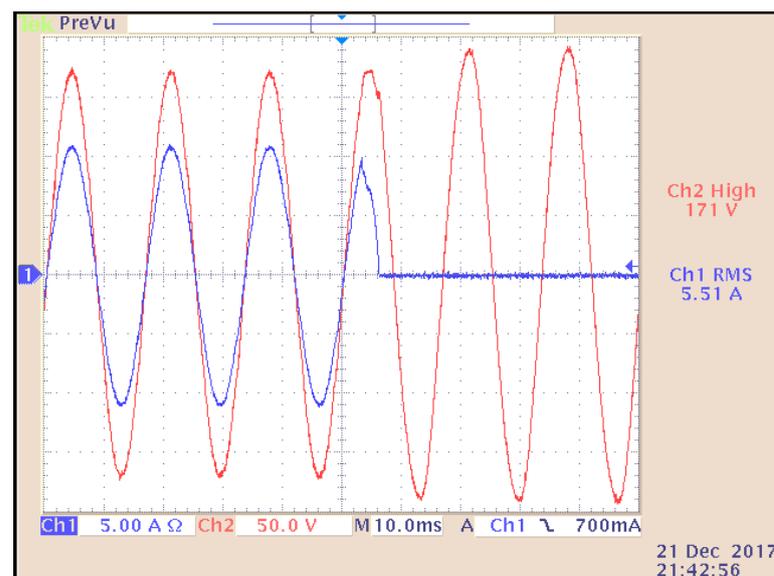
A partir da Fig. G.2 pode-se constatar a existência de pequenas oscilações após a mundaça do estado do PWM. Estas oscilações ocorrem devido ao tempo morto.

Ensaio de aplicação e rejeição de carga

Nesta seção são apresentadas as respostas em M.F. obtidas com os ensaios de aplicação e rejeição de carga, a qual foi resistiva e próxima da nominal. A Fig. G.3 mostra os testes de aplicação (a) e rejeição (b) de carga nominal no sistema em M.F., onde $V_{CC}=420\text{ V}$.



(a)



(b)

Fig. G.3 – M.F.: (a) Aplicação e (b) rejeição de carga nominal. i_o (CH1) e v_c (CH2). CH1: 5 A/div. CH2: 50 V/div.

Os resultados mostrados na Fig. G.3 possibilitaram verificar que o controle em malha fechada da corrente e da tensão possuíram tempos de respostas para a aplicação e a rejeição de carga próximos de 10 ms. Além disso, é possível verificar a existência de deformações nos picos das formas de ondas apresentados anteriormente, as quais são devidas ao efeito de tempo morto. Esse tempo morto não pôde ser reduzido por depender das características dos interruptores do inversor.